

CERTIFICATE OF MAILING BY "EXPRESS MAIL" (37 CFR 1.10) Applicant(s): Yasushi Kubota, et al			Docket No. 49639(820)	
Serial No. Not Yet Assigned	Filing Date Filed Herewith	Examiner Not Yet Assigned	Group Art Unit Not Yet Assigned	
Invention: SHIFT REGISTER CIRCUIT, IMAGE DISPLAY APPARATUS HAVING THE CIRCUIT, AND DRIVING METHOD FOR LCD DEVICES				
<div style="text-align: right;">jc515 U.S. PTO 09/523511 03/10/00</div>				
<p>I hereby certify that this <u>UTILITY PATENT APPLICATION</u> (Identify type of correspondence)</p> <p>is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 in an envelope addressed to: The Assistant Commissioner for Patents, Washington, D.C. 20231 on <u>March 10, 2000</u> (Date)</p> <div style="text-align: right;"><p><u>Holly F. Malarney</u> (Typed or Printed Name of Person Mailing Correspondence)</p><p><u>Holly F. Malarney</u> (Signature of Person Mailing Correspondence)</p><p><u>EL054596705US</u> ("Express Mail" Mailing Label Number)</p></div>				
<p>Note: Each paper must have its own certificate of mailing.</p>				

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

530766

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日

Date of Application:

1999年 3月11日

出願番号

Application Number:

平成11年特許願第065691号

出願人

Applicant(s):

シャープ株式会社

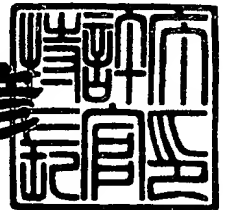


CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 1月28日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦



出証番号 出証特2000-3000898

【書類名】 特許願

【整理番号】 98-02834

【提出日】 平成11年 3月11日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 19/00

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 久保田 靖

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 鷺尾 一

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 吉田 茂人

【特許出願人】

 【識別番号】 000005049

 【氏名又は名称】 シャープ株式会社

【代理人】

 【識別番号】 100078282

 【弁理士】

 【氏名又は名称】 山本 秀策

【手数料の表示】

 【予納台帳番号】 001878

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9005652

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 シフトレジスタ回路および画像表示装置

【特許請求の範囲】

【請求項 1】 直列に接続され、パルス信号を順次転送する複数のラッチ回路と、

クロック信号を伝達するクロック線と、

前記クロック線と前記複数のラッチ回路とを電氣的に接続または非接続する複数のスイッチ回路とを備えたシフトレジスタ回路であって、

前記シフトレジスタ回路に電源が投入された際に、前記複数のスイッチ回路の少なくとも 1 つが、前記複数のラッチ回路の少なくとも 1 つとクロック線とを電氣的に非接続するシフトレジスタ回路。

【請求項 2】 直列に接続され、パルス信号を順次転送する複数のラッチ回路と、

クロック信号を伝達するクロック線と、

前記クロック線と前記複数のラッチ回路とを電氣的に接続または非接続する複数のスイッチ回路とを備えたシフトレジスタ回路であって、

一定時間毎に、前記複数のスイッチ回路の少なくとも 1 つが、前記複数のラッチ回路の少なくとも 1 つとクロック線とを電氣的に非接続するシフトレジスタ回路。

【請求項 3】 前記複数のラッチ回路のノードの電位は、前記伝送されるパルス信号に応じて変化し、

前記複数のスイッチ回路のそれぞれは、対応するラッチ回路のノードの電位に応じて、前記対応するラッチ回路とクロック線とを電氣的に接続または非接続し、

前記パルス信号が前記複数のラッチ回路の最初のラッチ回路から最後のラッチ回路まで転送される期間の少なくとも一部の期間、前記クロック信号の周波数が、通常期間の前記クロック信号の周波数より低い、請求項 1 または 2 に記載のシフトレジスタ回路。

【請求項 4】 前記少なくとも一部の期間における前記クロック信号の周波

数が、徐々に高くなる、請求項 3 に記載のシフトレジスタ回路。

【請求項 5】 前記少なくとも一部の期間における前記クロック信号の周波数が、前記通常期間の前記クロック信号の $1/2 \sim 1/16$ である、請求項 3 または 4 に記載のシフトレジスタ回路。

【請求項 6】 前記複数のラッチ回路のそれぞれが、外部から初期化信号を受け取り、前記初期化信号に応じて内部ノードを初期化する初期化回路を有する、請求項 1 または 2 に記載のシフトレジスタ回路。

【請求項 7】 前記クロック信号の振幅は、前記シフトレジスタ回路の電源電圧の振幅よりも小さい、請求項 1 または 2 に記載のシフトレジスタ回路。

【請求項 8】 前記シフトレジスタ回路が、外部より受け取ったクロック信号を、前記複数のラッチ回路に供給するバッファ回路を有する、請求項 1 または 2 に記載のシフトレジスタ回路。

【請求項 9】 前記シフトレジスタ回路が外部から受け取ったクロック信号の振幅と、前記複数のラッチ回路に供給されるクロック信号の振幅が異なり、前記シフトレジスタ回路によって受け取られたクロック信号の振幅を変化させるレベルシフト回路を有する、請求項 1 または 2 に記載のシフトレジスタ回路。

【請求項 10】 マトリクス状に設けられた複数の画素と、
前記複数の画素の 1 つに書き込まれるべき映像データを供給するデータ信号線と、

前記映像データの、前記複数の画素の 1 つへの書き込みを制御する走査信号線とを備えたアクティブ・マトリクス型画像表示装置であって、

タイミング信号に同期して前記走査信号線にパルス信号を出力する走査信号線駆動回路が、請求項 1～9 のいずれか 1 つに記載のシフトレジスタ回路を有している画像表示装置。

【請求項 11】 マトリクス状に設けられた複数の画素と、
前記複数の画素の 1 つに書き込まれるべき映像データを供給するデータ信号線と、

前記映像データの、前記複数の画素の 1 つへの書き込みを制御する走査信号線

とを備えたアクティブ・マトリクス型画像表示装置であって、

タイミング信号に同期して前記データ信号線に前記映像データを出力するデータ信号線駆動回路が、請求項 1 ～ 9 のいずれか 1 つに記載のシフトレジスタ回路を有している画像表示装置。

【請求項 1 2】 垂直同期信号に同期して、前記データ信号線駆動回路が、前記シフトレジスタ回路の前記複数のラッチ回路のそれぞれの内部ノードの電位レベルを初期化する、請求項 1 1 に記載の画像表示装置。

【請求項 1 3】 前記データ信号線駆動回路および前記走査信号線駆動回路の少なくとも一方が、前記複数の画素と同一基板上に形成されている、請求項 1 0 または 1 1 に記載の画像表示装置。

【請求項 1 4】 前記データ信号線駆動回路の少なくとも能動素子が、多結晶シリコン薄膜トランジスタである、請求項 1 3 に記載の画像表示装置。

【請求項 1 5】 前記能動素子が、ガラス基板上に、6 0 0 ℃以下のプロセスで形成される、請求項 1 4 に記載の画像表示装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、クロック信号の立ち上がりおよび立ち下がりに同期してデジタル信号を転送するシフトレジスタ回路に関し、特に、クロック信号を局所的に入力するような構成をとることにより、クロック信号線の負荷を軽減し、動作マージンの向上と低消費電力化を図ったシフトレジスタ回路、および、このシフトレジスタ回路をデータ信号線駆動回路または走査信号線駆動回路に適用した画像表示装置に関する。

【0 0 0 2】

【従来の技術】

従来の液晶表示装置として、アクティブ・マトリクス駆動方式の液晶表示装置（以後、アクティブ・マトリクス駆動型液晶表示装置と呼ぶ）が知られている。

【0 0 0 3】

図 1 8 は、アクティブ・マトリクス駆動型液晶表示装置 1 0 0 を示す図である

【0004】

図18に示すアクティブ・マトリクス駆動型液晶表示装置100は、画素アレイARYと、走査信号線駆動回路GDと、データ信号線駆動回路SDとを備えている。

【0005】

画素アレイARYは、複数の走査信号線GLと、複数の走査信号線GLに交差する複数のデータ信号線SLとを備えている。隣接する2本の走査信号線GLと隣接する2本のデータ信号線SLとで包囲された部分に、画素PIXがマトリクス状に配置されている。データ信号線駆動回路SDは、クロック信号CKS等のタイミング信号に同期して、入力された映像信号DATをサンプリングし、サンプリングされた映像信号DATを必要に応じて増幅し、データ信号線SLに出力する。

【0006】

走査信号線駆動回路GDは、クロック信号CKG等のタイミング信号に同期して、走査信号線GLを順次選択し、画素PIX内にあるスイッチング素子の開閉を制御することにより、データ信号線SLに出力された映像信号（データ）が画素PIXに書き込まれる。画素PIXは画素PIXに書き込まれたデータを保持する働きをする。

【0007】

図19は、図18に示す画素PIXの詳細を示す図である。

【0008】

画素PIXは、スイッチング素子である電界効果トランジスタSWと、画素容量CI（液晶容量CLおよび必要によって付加される補助容量CSよりなる）とによって構成される。

【0009】

電界効果トランジスタSWは、ドレイン、ソースおよびゲートを有している。以後、ドレインおよびソースの一方を第1電極と呼び、ドレインおよびソースの他方を第2電極と呼ぶ。

【0010】

電界効果トランジスタSWの第1電極はデータ信号線SLと接続され、電界効果トランジスタSWの第2電極は画素容量CIの一端aと接続される。また、電界効果トランジスタSWのゲートは、走査信号線GLに接続される。液晶容量CLの他端bは、全画素PIXに共通の共通電極線に接続されている。液晶容量CLに印加される電圧により、液晶の透過率または反射率が変調され、画像が表示される。

【0011】

従来のアクティブ・マトリクス型液晶表示装置では、画素トランジスタSWの材料として、ガラス等の透明基板上に形成された非晶質シリコン薄膜が用いられている。また、従来のアクティブ・マトリクス型液晶表示装置における走査信号線駆動回路GDおよびデータ信号線駆動回路SDは、それぞれ外付けの集積回路(IC)で構成されていた。

【0012】

しかしながら、近年、大画面化に伴う画素トランジスタの駆動力向上や、駆動ICの実装コストの低減、あるいは、実装における信頼性等の要求から、多結晶シリコン薄膜を用いて、モノリシックに画素アレイと駆動回路が形成されている。

【0013】

液晶表示装置の、より大画面化および低コスト化を目指して、ガラスの歪み点(約600℃)以下のプロセス温度で、電界効果トランジスタなどの素子をガラス基板上の多結晶シリコン薄膜で形成することが試みられている。

【0014】

図20は、アクティブ・マトリクス型液晶表示装置200を示す図である。

【0015】

図20に示すアクティブ・マトリクス型液晶表示装置200では、絶縁性基板SUB上に、画素アレイARY、走査信号線駆動回路GD、およびデータ信号線駆動回路SDが搭載され、走査信号線駆動回路GDおよびデータ信号線駆動回路SDのそれぞれに、タイミング信号生成回路CTLおよび電源電圧生成回路VG

ENが接続される。

【 0 0 1 6 】

データ信号線駆動回路SDは、映像信号DATなどを受け取る。図20では、データ信号線駆動回路SD内の映像信号DATなどが伝達される経路を破線で示している。

【 0 0 1 7 】

走査信号線駆動回路GDは、パルス信号GPSなどを受け取る。図20では、走査信号線駆動回路GD内のパルス信号GPSなどが伝達される経路を破線で示している。

【 0 0 1 8 】

データ信号線駆動回路としては、映像信号を映像信号線に書き込む方式の違いから、点順次駆動方式のデータ信号線駆動回路と線順次駆動方式のデータ信号線駆動回路が知られている。データ信号線駆動回路を一体化した多結晶シリコン TFTパネルにおいては、データ信号線駆動回路の構成の簡易性から、点順次駆動方式のデータ信号線駆動回路が用いられることが多い。

【 0 0 1 9 】

以下に、よく使用される点順次駆動方式のデータ信号線駆動回路の構成を図21を用いて説明する。

【 0 0 2 0 】

図21は、点順次駆動方式のデータ信号線駆動回路SDを示す図である。

【 0 0 2 1 】

点順次駆動方式では、複数のラッチ回路LATA、LATBより構成されたシフトレジスタ回路SFCの各段（各ラッチ回路）から出力される出力パルスに同期させてサンプリングスイッチASを開閉する。サンプリングスイッチASを開閉により、映像信号線に入力された映像信号DATが、データ信号線SLに書き込まれる。

【 0 0 2 2 】

図21に示すように、シフトレジスタ回路SFCとサンプリングスイッチASとの間にはバッファ回路BFC1が位置する。バッファ回路BFC1は、シフト

レジスタ回路 S F C から出力されるパルス信号を取り込んで、パルス信号を保持・増幅するとともに、必要に応じてパルス信号の反転信号を生成する。

【 0 0 2 3 】

以下に、走査信号線駆動回路の構成を図 2 2 を用いて説明する。

【 0 0 2 4 】

図 2 2 は、走査信号線駆動回路 G D を示す図である。図 2 2 に示す走査信号線駆動回路 G D は、複数のラッチ回路 L A T A、L A T B より構成されたシフトレジスタ回路 S F C と、バッファ回路 B F C 2 とを備えている。

【 0 0 2 5 】

図 2 2 に示す走査信号線駆動回路 G D は、複数のラッチ回路 L A T A、L A T B より構成されたシフトレジスタ回路 S F C の各段（各ラッチ回路）から出力される出力パルス信号（必要に応じて、他の信号との論理演算結果）を増幅することにより、増幅された出力パルス信号を走査信号として出力している。

【 0 0 2 6 】

上述したように、データ信号線駆動回路 S D および走査信号線駆動回路 G D のいずれの駆動回路においても、パルス信号を順次転送するシフトレジスタ回路 S F C が用いられている。

【 0 0 2 7 】

図 2 3 は、シフトレジスタ回路 S F C を示す図である。図 2 3 に示すように、複数のラッチ回路 L A T A、L A T B が交互に直列に接続されている。

【 0 0 2 8 】

図 2 4 は、図 2 3 に示すシフトレジスタ回路 S F C に入力されるクロック信号 C L K を示す図である。なお、図 2 3 に示すシフトレジスタ回路 S F C には、クロック信号 C L K と位相が反転したクロック信号 / C L K も入力される。

【 0 0 2 9 】

図 2 5 は、シフトレジスタ回路 S F C を構成するラッチ回路 L A T A を示す図であり、図 2 6 は、シフトレジスタ回路 S F C を構成するラッチ回路 L A T B を示す図である。

【 0 0 3 0 】

ラッチ回路 LATA、LATB は、1 個のインバータと 2 個のクロックトインバータ CICA、CICB から成っており、2 個のクロックトインバータ CICA、CICB には、それぞれ逆位相のクロック信号 CLK、/CLK が入力される。

【0031】

図 27 は、クロックトインバータ CICA を示す図であり、図 28 は、クロックトインバータ CICB を示す図である。たとえば、図 27 に示すクロックトインバータ CICA では、クロック信号 CLK がハイレベルのとき、クロックトインバータ CICA の入力端子 IN に入力された信号の反転信号が、クロックトインバータ CICA の出力端子 OUT から出力される。また、図 28 に示すクロックトインバータ CICB では、クロック信号 CLK がローレベルのとき、クロックトインバータ CICB の入力端子 IN に入力された信号の反転信号が、クロックトインバータ CICB の出力端子 OUT から出力される。

【0032】

なお、本明細書および本図面の中でシフトレジスタ回路あるいはラッチ回路を説明する場合、それらの回路には、互いに逆位相のクロック信号が入力されるため、互いに逆位相のクロック信号の一方のクロック信号 CLK だけを用いて説明する場合もある。

【0033】

【発明が解決しようとする課題】

図 23 に示すシフトレジスタ回路 SFC において、クロック信号 CLK、/CLK が、すべてのラッチ回路 LATA、LATB に入力されるため、クロック信号線 CLKL、/CLKL の負荷容量は極めて大きくなる。その結果、クロック信号線 CLKL、/CLKL を駆動するために、外部 IC（コントローラ IC など）として、駆動能力の大きなものを使用する必要があり、液晶表示装置の製作コストが上がり、液晶表示装置の消費電力が増加する。

【0034】

特開平 3-147598 号公報は、クロック信号線の負荷容量を小さくするために、シフトレジスタ回路の各段（ラッチ回路）の出力が有意（アクティブ状態

）であるときのみ、そのラッチ回路にクロック信号を入力するような構成を開示している。

【 0 0 3 5 】

具体的には、クロック信号線と各ラッチ回路を接続するか切り離すかが、各ラッチ回路の出力信号（あるいは、複数の隣接するラッチ回路の出力信号の和信号）によって制御される。

【 0 0 3 6 】

しかしながら、このような構成においては、電源投入時には、シフトレジスタ回路の内部ノードの状態（電圧レベル）が不定である（どのような状態にもなりうる）ため、最悪の場合、電源投入時に、シフトレジスタ回路の全ての内部ノードがアクティブ状態になる場合もありうる。この状態は、非アクティブ状態に対応する信号がシフトレジスタ回路全段を走査される（シフトレジスタ回路の初期化）まで続くことになる。

【 0 0 3 7 】

また、この状態においては、クロック信号はすべてのラッチ回路に入力されているので、クロック信号線の負荷容量は、通常状態（シフトレジスタ回路に 1 個のパルス信号が走査されている状態で、クロック信号が入力されるラッチ回路の数が 1 個～数個のとき）に較べて、極めて大きくなっている。

【 0 0 3 8 】

そのため、十分な駆動能力がない場合（外部 IC が、小さい負荷容量に対して最適化されている場合）には、クロック信号線を所定の時間内に駆動することができず、シフトレジスタ回路が動作できなくなる恐れがある。

【 0 0 3 9 】

したがって、クロック信号を供給する外部 IC は、このような大きな負荷容量を持つ場合でも駆動できるだけの能力を備えている必要があるが、通常状態では、負荷容量は小さく、それだけの駆動能力は不要である。すなわち、電源投入時のシフトレジスタ回路の初期化のみのために、大きな駆動能力を備えた外部 IC が必要となり、低コスト化、および、低消費電力化をさらに進める上での障害となっている。

【0040】

本発明は、このような従来技術の課題を解決すべくなされたものであり、クロック信号を局所的に入力することによりクロック信号線の負荷を軽減したシフトレジスタ回路において、電源投入時などにおいても正常に動作するシフトレジスタ回路、および、このシフトレジスタ回路を駆動回路の一部として備えることにより、低消費電力化と低コスト化を実現した画像表示装置を提供することを目的とする。

【0041】

【課題を解決するための手段】

本発明のシフトレジスタ回路は、直列に接続され、パルス信号を順次転送する複数のラッチ回路と、クロック信号を伝達するクロック線と、前記クロック線と前記複数のラッチ回路とを電気的に接続または非接続する複数のスイッチ回路とを備えたシフトレジスタ回路であって、前記シフトレジスタ回路に電源が投入された際に、前記複数のスイッチ回路の少なくとも1つが、前記複数のラッチ回路の少なくとも1つとクロック線とを電気的に非接続し、そのことにより上記目的が達成される。

【0042】

本発明の他のシフトレジスタ回路は、直列に接続され、パルス信号を順次転送する複数のラッチ回路と、クロック信号を伝達するクロック線と、前記クロック線と前記複数のラッチ回路とを電気的に接続または非接続する複数のスイッチ回路とを備えたシフトレジスタ回路であって、一定時間毎に、前記複数のスイッチ回路の少なくとも1つが、前記複数のラッチ回路の少なくとも1つとクロック線とを電気的に非接続し、そのことにより上記目的が達成される。

【0043】

前記複数のラッチ回路のノードの電位は、前記伝送されるパルス信号に応じて変化し、前記複数のスイッチ回路のそれぞれは、対応するラッチ回路のノードの電位に応じて、前記対応するラッチ回路とクロック線とを電気的に接続または非接続し、前記パルス信号が前記複数のラッチ回路の最初のラッチ回路から最後のラッチ回路まで転送される期間の少なくとも一部の期間、前記クロック信号の周

波数が、通常期間の前記クロック信号の周波数より低いことが好ましい。

【 0 0 4 4 】

前記少なくとも一部の期間における前記クロック信号の周波数が、徐々に高くてもよい。

【 0 0 4 5 】

前記少なくとも一部の期間における前記クロック信号の周波数が、前記通常期間の前記クロック信号の $1/2 \sim 1/16$ であってもよい。

【 0 0 4 6 】

前記複数のラッチ回路のそれぞれが、外部から初期化信号を受け取り、前記初期化信号に応じて内部ノードを初期化する初期化回路を有してもよい。

【 0 0 4 7 】

前記クロック信号の振幅は、前記シフトレジスタ回路の電源電圧の振幅よりも小さくてもよい。

【 0 0 4 8 】

前記シフトレジスタ回路が、外部より受け取ったクロック信号を、前記複数のラッチ回路に供給するバッファ回路を有してもよい。

【 0 0 4 9 】

前記シフトレジスタ回路が外部から受け取ったクロック信号の振幅と、前記複数のラッチ回路に供給されるクロック信号の振幅が異なり、前記シフトレジスタ回路によって受け取られたクロック信号の振幅を変化させるレベルシフト回路を有してもよい。

【 0 0 5 0 】

マトリクス状に設けられた複数の画素と、前記複数の画素の 1 つに書き込まれるべき映像データを供給するデータ信号線と、前記映像データの、前記複数の画素の 1 つへの書き込みを制御する走査信号線とを備えたアクティブ・マトリクス型画像表示装置であって、タイミング信号に同期して前記走査信号線にパルス信号を出力する走査信号線駆動回路が、本発明の、前記シフトレジスタ回路または前記他のシフトレジスタ回路を有していることが好ましい。

【 0 0 5 1 】

マトリクス状に設けられた複数の画素と、前記複数の画素の 1 つに書き込まれるべき映像データを供給するデータ信号線と、前記映像データの、前記複数の画素の 1 つへの書き込みを制御する走査信号線とを備えたアクティブ・マトリクス型画像表示装置であって、タイミング信号に同期して前記データ信号線に前記映像データを出力するデータ信号線駆動回路が、本発明の、前記シフトレジスタ回路または前記他のシフトレジスタ回路を有していることが好ましい。

【 0 0 5 2 】

垂直同期信号に同期して、前記データ信号線駆動回路が、前記シフトレジスタ回路の前記複数のラッチ回路のそれぞれの内部ノードの電位レベルを初期化してもよい。

【 0 0 5 3 】

前記データ信号線駆動回路および前記走査信号線駆動回路の少なくとも一方が、前記複数の画素と同一基板上に形成されてもよい。

【 0 0 5 4 】

前記データ信号線駆動回路の少なくとも能動素子が、多結晶シリコン薄膜トランジスタであってもよい。

【 0 0 5 5 】

前記能動素子が、ガラス基板上に、600℃以下のプロセスで形成されてもよい。

【 0 0 5 6 】

以下、作用について説明する。

【 0 0 5 7 】

本発明のシフトレジスタ回路においては、アクティブ状態にあるラッチ回路およびその近傍のラッチ回路にのみ、選択的にクロック信号が入力される構成において、電源投入時に、全ての前記ラッチ回路の内部ノードの電位レベルを初期化している。シフトレジスタ回路の内部ノードが不定になるのは電源投入時のみであるので、初期化を電源投入時のみとすることで、通常動作期間の動作に悪影響を及ぼす可能性がなくなる。このような構成とすることにより、クロック信号線の負荷容量が小さくなり、クロック信号を供給する外部 IC に、特に大きな駆動

能力を必要としないので、外部 IC の低コスト化や低消費電力化が図られる。

【0058】

本発明の他のシフトレジスタ回路においては、アクティブ状態にあるラッチ回路およびその近傍のラッチ回路にのみ、選択的にクロック信号が入力される構成において、一定時間毎に、全ての前記ラッチ回路の内部ノードの電位レベルを初期化している、このような構成においては、システムにおける適当なタイミング信号を利用し、これに同期してシフトレジスタ回路内部を初期化することができるので、新たに初期化用の信号を入力または生成する必要がない。また、このような構成とすることにより、クロック信号線の負荷容量が小さくなり、クロック信号を供給する外部 IC に、特に大きな駆動能力を必要としないので、外部 IC の低コスト化や低消費電力化が図られる。

【0059】

前記シフトレジスタ回路または前記他のシフトレジスタ回路においては、少なくともパルス信号がラッチ回路全段にわたって転送される期間より長い間、クロック信号の周波数を、通常の周波数よりも低減させることにより、前記ラッチ回路の内部ノードを初期化している。このような構成においては、外部から入力されるクロック信号のタイミング（周波数）を変えるだけで、シフトレジスタ回路の初期化を行うことができ、初期化のための回路を新たに付加する必要がない。

【0060】

前記シフトレジスタ回路または前記他のシフトレジスタ回路においては、前記初期化のための前記クロック信号の周波数を、徐々に高くなるようにしている。このような構成においては、初期化の時間を短縮することができるので、他の動作に支障や制約を与えることが少ない。

【0061】

前記シフトレジスタ回路または前記他のシフトレジスタ回路においては、前記低減させたクロック信号の最低周波数は、通常の周波数の、 $1/2$ ないし $1/16$ である。このような周波数では、低周波数で動作する期間がそれほど長くないので、他の動作への影響を小さく抑えることが容易となる。また、特に、元の周波数の整数分の 1 となるような周波数は、通常のクロック信号を分周することに

より、簡単に得ることが出来る。

【0 0 6 2】

前記シフトレジスタ回路または前記他のシフトレジスタ回路においては、前記各ラッチ回路に内部ノード初期化回路を設け、これに外部から初期化信号を入力することにより、前記ラッチ回路の内部ノードを初期化している。このような構成においては、全ラッチ回路を同時に初期化することができるので、初期化時間の短縮が図られ、他の動作へ悪影響を及ぼす恐れが少ない。

【0 0 6 3】

前記シフトレジスタ回路または前記他のシフトレジスタ回路においては、前記クロック信号の振幅は、シフトレジスタ回路の電源電圧よりも小さくなっている。このような構成においては、クロック信号が入力されるラッチ回路の素子サイズが大きくなり、負荷容量も大きくなるので、クロック信号を選択的に入力する構成にする効果は特に大きい。

【0 0 6 4】

前記シフトレジスタ回路または前記他のシフトレジスタ回路においては、外部より入力されたクロック信号を、前記各ラッチ回路に供給するための、バッファ回路を有している。このような構成においては、クロック信号の一方のみを外部より入力し、内部でその反転信号を生成することが出来るので、端子数の削減や外部 IC の簡略化に有効である。また、バッファ回路のサイズ（駆動能力）は、クロック信号線の負荷容量により決定されるので、実効的な負荷を低減させることにより、バッファ回路のサイズを小さくすることができる。

【0 0 6 5】

前記シフトレジスタ回路または前記他のシフトレジスタ回路においては、外部より入力されるクロック信号と、前記各ラッチ回路に供給されるクロック信号の振幅が異なっており、外部より入力されたクロック信号の振幅を変化させるための、レベルシフト回路を有している。このような構成においては、レベルシフト回路またはその後段のバッファ回路のサイズ（駆動能力）は、クロック信号線の負荷容量により決定されるので、実効的な負荷を低減させることにより、レベルシフト回路またはバッファ回路のサイズを小さくすることができる。また、レベ

ルシフト回路を具備することにより、入力信号の電圧レベルを、シフトレジスタ回路の駆動電圧よりも小さくすることができるので、外部にレベルシフト IC を不要とすることができるとともに、外部の消費電力を削減することが可能となる。

【0066】

マトリクス状に設けられた複数の画素と、該画素に書き込む映像データを供給する複数のデータ信号線と、映像データの該画素への書き込みを制御する複数の走査信号線とを備えたアクティブ・マトリクス型画像表示装置において、タイミング信号に同期して前記走査信号線にパルス信号を出力する走査信号線駆動回路が、前記いずれかのシフトレジスタ回路を備えている。このような構成においては、上述の理由により、走査信号線駆動回路に入力されるクロック信号線を駆動する外部 IC の駆動能力を小さく抑えつつ、シフトレジスタ回路の正常な動作を実現することができるので、低コストと低消費電力性を兼ね備えた高品位の画像表示装置を実現することができる。

【0067】

タイミング信号に同期して前記データ信号線に映像信号を出力するデータ信号線駆動回路が、前記いずれかのシフトレジスタ回路を備えている。このような構成においては、上述の理由により、データ信号線駆動回路に入力されるクロック信号線を駆動する外部 IC の駆動能力を小さく抑えつつ、シフトレジスタ回路の正常な動作を実現することができるので、低コストと低消費電力性を兼ね備えた高品位の画像表示装置を実現することができる。特に、データ信号線駆動回路は、画像表示装置の中で最も動作周波数が高い部分であるので、クロック信号線の負荷容量を低減させることの効果は大きい。

【0068】

垂直同期信号に同期して、前記データ信号線駆動回路を構成するシフトレジスタ回路の全てのラッチ回路の内部ノードの電位レベルを初期化する。このような構成においては、初期化のための信号として、垂直同期信号、あるいは、これにより生成される走査信号線駆動回路のスタート信号を用いることができるので新たな信号を追加する必要がない。

【0069】

少なくとも前記データ信号線駆動回路を構成する能動素子が、多結晶シリコン薄膜トランジスタである。このように多結晶シリコン薄膜を用いてトランジスタを形成すると、従来のアクティブマトリクス液晶表示装置に用いられていた非晶質シリコン薄膜トランジスタに較べて、極めて駆動力の高い特性が得られるので、前記効果に加えて、画素および前記信号線駆動回路を、容易に、同一基板上に形成することができるというメリットがある。このため、製造コストや実装コストの低減と実装良品率のアップの効果が期待できる。また、多結晶シリコン薄膜トランジスタは、単結晶シリコントランジスタに較べて、駆動力が1～2桁程小さいため、これを用いて走査信号線駆動回路およびデータ信号線駆動回路を構成した場合、構成するトランジスタのサイズを大きくする必要がある。その結果、クロック信号線の負荷容量も大きくなるので、前記効果が期待できる本構成の有効性は大きい。さらに、これを用いてレベルシフト回路やクロック信号線用のバッファ回路を構成した場合、その駆動力が小さいため、負荷容量を小さくするための初期化を行うことの効果が大きい。

【0070】

前記能動素子が、ガラス基板上に、600℃以下のプロセスで形成されている。このように、600℃以下のプロセス温度で、多結晶シリコン薄膜トランジスタを形成する場合には、歪み点温度が低い、安価でかつ大型化の容易なガラスを、基板として用いることができるので、前記効果に加えて、大型の画像表示装置を低コストで製造することが可能となるというメリットがある。

【0071】

【発明の実施の形態】

以下、図面を参照し本発明の実施形態を説明する。

【0072】

(実施形態1)

図1は、実施形態1におけるシフトレジスタ回路1を示す図である。

【0073】

図1に示すシフトレジスタ回路1は、複数のラッチ回路LATA、LATB、

複数の論理和回路OR、および複数のスイッチASWを備えている。ラッチ回路LATAの一例を図25に示し、ラッチ回路LATBの一例を図26に示す。なお、図1に示すシフトレジスタ回路1の初めのラッチ回路は、ラッチ回路LATAであっても、ラッチ回路LATBであってもよいが、入力されるクロック信号によって決定される。

【0074】

ラッチ回路LATA、LATBにクロック信号CLK、 \neg CLKが入力されるか否かは、論理和回路ORおよびスイッチASWによって制御される。たとえば、あるユニット2に属する論理和回路ORは、あるユニット2に属するラッチ回路の前段のラッチ回路から出力される信号と、あるユニット2に属するラッチ回路から出力される信号とを受け取り、それらの信号の論理和を演算する。演算された結果である信号に基づいて、あるユニット2に属するスイッチASWが導通することにより、あるユニット2に属するラッチ回路にクロック信号CLK、 \neg CLKが入力される。

【0075】

つまり、あるユニット2に属するラッチ回路の前段のラッチ回路とあるユニット2に属するラッチ回路の少なくともいずれか一方がアクティブ状態にある時のみ、クロック信号がラッチ回路に入力される。上述した構成により、ラッチ回路の入力容量の大部分がクロック信号線CLKL、 \neg CLKLから切り離される。このため、シフトレジスタ回路1のクロック信号線CLKL、 \neg CLKLの容量は、図23に示すシフトレジスタ回路SFCに較べて極めて小さくなる。このため、シフトレジスタ回路1では、駆動能力の小さなクロック信号供給ICを用いることができる。

【0076】

しかしながら、電源投入時においては、ラッチ回路LATA、LATBの内部ノードの状態（電位レベル）は、不定となる。つまり、ラッチ回路LATA、LATBの内部ノードの状態は、どのような状態にもなる可能性がある。

【0077】

このため、ラッチ回路LATA、LATBの全てのノード、あるいは、大部分

のノードがアクティブになる恐れがある。全てのラッチ回路 LATA、LATB のノードがアクティブになる場合、クロック信号線 CLKL、/CLKL は、全てのラッチ回路 LATA、LATB に接続される。全てのラッチ回路 LATA、LATB のノードがアクティブになる状態におけるクロック信号線 CLKL、/CLKL の負荷容量は、他の状態に較べて、非常に大きな負荷容量となる。

【0078】

全てのラッチ回路 LATA、LATB のノードがアクティブになる場合、通常動作を行うだけの駆動力を有するクロック信号供給 IC では、シフトレジスタ回路を駆動することができなくなる恐れがある。

【0079】

図2は、シフトレジスタ回路に入力されるクロック信号 CLK の一例と、シフトレジスタ回路内部のクロック信号 CLK_{int} を示す図である。

【0080】

全てのラッチ回路 LATA、LATB のノードがアクティブになっている状態では、クロック信号線 CLKL、/CLKL の負荷容量が大きいため、図2に示す、シフトレジスタ回路内部のクロック信号 CLK_{int} は、シフトレジスタ回路に入力されたクロック信号 CLK と比べて、波形が鈍っている。このため、シフトレジスタ回路の駆動に十分な振幅が確保されない。その結果、シフトレジスタ回路は動作しない。言い換えると、ラッチ回路 LATA、LATB の内部ノードのレベルは変化しない。したがって、クロック信号線 CLKL、/CLKL の負荷容量は大きな値をとり続けることになり、シフトレジスタ回路は動作を開始できない。

【0081】

ただし、クロック信号線 CLKL、/CLKL の負荷容量が大きい場合、クロック信号線 CLKL、/CLKL を駆動できるだけの能力を有したクロック信号供給 IC を用いていれば、シフトレジスタ回路は動作する。図3は、駆動能力が大きいクロック信号供給 IC を用いた場合における、シフトレジスタ回路に入力されるクロック信号 CLK の一例と、シフトレジスタ回路内部のクロック信号 CLK_{int} を示す図である。

【0082】

このような大きな駆動能力は、通常の動作状態では不必要であり、消費電力の増加を招くのみである。さらに、大きな駆動能力を有するクロック信号供給 IC は、当然、コストも高いというデメリットがある。

【0083】

駆動能力が小さいクロック信号供給 IC を用いたとしても、図 4 に示すように、初期化動作期間におけるクロック信号 CLK の周波数を通常動作期間におけるクロック信号 CLK の周波数よりも低下させることで、シフトレジスタ回路の駆動に十分な振幅が確保されないという問題を解決することができる。初期化動作期間とは、電源が投入されてから所定の時間が経過した期間を意味する。通常動作期間とは、初期化動作期間以外の期間を意味する。

【0084】

図 5 は、初期化動作期間および通常動作期間における、クロック信号 CLK の一例およびシフトレジスタ回路内部のクロック信号 CLK_{int} の一例とを示す図である。図 5 に示すように、クロック信号線 CLK_L、 $\overline{\text{CLK}}_{\text{L}}$ の負荷容量によって、クロック信号 CLK_{int} の立ち上がりが俊敏ではないが、クロック信号 CLK_{int} が所定のレベル（閾値）以上になるため、シフトレジスタ回路は正常に動作する。

【0085】

また、シフトレジスタ回路は、初期化動作期間に入り一定期間クロック周波数を低減させる。このため、全てのラッチ回路 LATA、LATB がアクティブであったとしても、シフトレジスタ回路 1 の初期化が進むにつれて、ラッチ回路 LATA、LATB が、初段から次々にクロック信号線 CLK_L、 $\overline{\text{CLK}}_{\text{L}}$ から切り離される。このため、クロック信号線 CLK_L、 $\overline{\text{CLK}}_{\text{L}}$ の負荷容量は次第に低くなる。

【0086】

なお、電源投入時におけるクロック信号 CLK、 $\overline{\text{CLK}}$ の周波数としては、クロック信号線 CLK_L、 $\overline{\text{CLK}}_{\text{L}}$ の負荷容量がどれだけ増加するかにより決定されるが、一般には、通常動作期間におけるクロック信号 CLK、 $\overline{\text{CLK}}$ の

1/2～1/16程度とすればよい。

【0087】

また、図4および図5に示す、初期化のためのクロック信号の周波数は一定であるが、初期化のためのクロック信号の周波数は、必ずしも一定である必要はない。たとえば、初期化のためのクロック信号の周波数が、徐々に変化してもよい。

【0088】

図6は、電源投入時のクロック信号CLKの周波数が、初期化期間終了時のクロック信号CLKの周波数より低いクロック信号を示す図である。たとえば、電源投入時のクロック周波数を、通常動作期間におけるクロック信号CLKの1/8の周波数とし、徐々にクロック信号CLKの周波数を高くし、初期化が完了する時のクロック周波数を、通常動作期間におけるクロック信号CLKの周波数とする。

【0089】

たとえば、全てのラッチ回路LATA、LATBがアクティブであっても、シフトレジスタ回路1の初期化が進むにつれて、ラッチ回路LATA、LATBが、初段から徐々にクロック信号線CLKL、/CLKLから切り離されるため、クロック信号線CLKL、/CLKLの負荷容量は次第に小さくなる。このため、周波数を高めていっても十分に駆動することが可能である。クロック信号CLK、/CLKの周波数を次第に高くすることにより、初期化に要する初期化期間を短くすることが可能となる。なお、クロック信号の周波数は、連続的に高めていっても、数クロック毎に不連続に高めていってもよい。

【0090】

(実施形態2)

図7は、シフトレジスタ回路1を駆動するための、他のクロック信号を示す図である。

【0091】

図7に示すクロック信号では、一定周期で入力される任意のパルス信号PLSに同期して、一定期間、クロック信号の周波数が低下する。このため、一定周期

毎に、シフトレジスタ回路 1 を初期化することができる。駆動能力の小さいクロック信号供給 IC を用いても、シフトレジスタ回路 1 は正常に動作する。なお、一定期間とは、ある映像の 1 フレームの期間であってもよい。

【0092】

(実施形態 3)

図 8 および図 9 は、シフトレジスタ回路 1 のラッチ回路 LATA、LATB の他の構成例を示す図である。

【0093】

図 8 および図 9 に示すラッチ回路では、そのラッチ回路の内部ノードを強制的にリセットする。たとえば、リセットによって、ラッチ回路から出力される信号は、ロウレベルになる。

【0094】

図 10 および図 11 は、図 8 および図 9 に示すラッチ回路を用いたときの、クロック信号 CLK およびリセット信号 RST の信号を示す図である。

【0095】

図 10 に示す信号波形の例では、電源投入時にのみ、リセット信号 RST が、図 8 および図 9 に示すラッチ回路に入力されて、それらのラッチ回路の内部ノードが初期化される。

【0096】

また、図 11 に示す信号波形の例では、一定周期で入力されるあるパルス信号 PLS に同期して、リセット信号 RST が図 8 および図 9 に示すラッチ回路に入力され、それらのラッチ回路の内部ノードが初期化される。

【0097】

上述したように、シフトレジスタ回路 1 を初期化することにより、駆動能力の小さいクロック信号供給 IC を用いても、シフトレジスタ回路 1 の正常な動作を実現することができる。

【0098】

なお、一定期間とは、ある映像の 1 フレームの期間であってもよい。

【0099】

(実施形態4)

図12および図13は、シフトレジスタ回路1のラッチ回路LATA、LATBのさらに他の構成例を示す図である。

【0100】

図12および図13に示すラッチ回路LATA、LATBは、トランジスタM1～M8をそれぞれ有している。

【0101】

図12および図13に示すラッチ回路を有するシフトレジスタ回路1に、入力されるクロック信号としては、図4または図7に示されるクロック信号であってもよい。

【0102】

図12および図13に示すラッチ回路LATA、LATBは、レベルシフト機能を有するものである。図12および図13に示すラッチ回路LATA、LATBに、その電源電圧VCCの振幅よりも小さい振幅のクロック信号が入力されたとしても、図12および図13に示すラッチ回路LATA、LATBは、電源電圧VCCの振幅を持つ信号を出力する。

【0103】

たとえば、図12および図13に示すラッチ回路LATA、LATBの電源電圧が0V/15Vである場合、クロック信号線の振幅が0V/5Vであっても、0V/15Vの振幅の信号が、図12および図13に示すラッチ回路LATA、LATBから出力される。

【0104】

図12および図13に示すラッチ回路LATA、LATBでは、接地(GND)側の電流経路のオン抵抗を小さくすることが必要である。そのためには、クロック信号が入力されるトランジスタM4、M6のサイズ(チャネル幅)を大きくしなければならない。

【0105】

したがって、クロック信号線から見たラッチ回路の入力容量は、極めて大きくなるため、本発明のシフトレジスタ回路によって、クロック信号を局所的に入力

する構成による信号線容量の低減効果は非常に大きい。

【0 1 0 6】

また、電源投入時に全ラッチ回路がクロック信号線に接続された場合、負荷容量増大の影響も極めて大きくなるので、上述したシフトレジスタ回路の初期化の有効性は非常に大きくなる。

【0 1 0 7】

(実施形態 5)

図 1 4 は、実施形態 5 におけるシフトレジスタ回路 1 0 を示す図である。

【0 1 0 8】

図 1 4 に示すシフトレジスタ回路 1 0 は、複数のラッチ回路 L A T A、L A T B、複数の論理和回路 O R、複数のスイッチ A S W、およびバッファ回路 1 1 を備えている。図 1 4 では、外部からクロック信号の一方の位相である信号 C L K e x t のみがシフトレジスタ回路 1 0 に入力され、バッファ回路 1 1 を介して、クロック信号 C L K、／C L K がシフトレジスタ回路に供給される。バッファ回路 1 1 は、少なくとも 1 つのインバータ回路 I N V を有する。なお、図 1 4 に示すバッファ回路 1 1 は、3 つのインバータ回路 I N V を有する。

【0 1 0 9】

シフトレジスタ回路 1 0 がバッファ回路 1 1 を有するため、外部からシフトレジスタ回路 1 0 に接続される信号線の数削減することができる。

【0 1 1 0】

(実施形態 6)

図 1 5 は、実施形態 6 におけるシフトレジスタ回路 2 0 を示す図である。

【0 1 1 1】

図 1 5 に示すシフトレジスタ回路 2 0 は、複数のラッチ回路 L A T A、L A T B、複数の論理和回路 O R、複数のスイッチ A S W、レベルシフト回路 L S およびバッファ回路 2 1 を備えている。バッファ回路 2 1 は、少なくとも 1 つのインバータ回路 I N V を有する。

【0 1 1 2】

シフトレジスタ回路 2 0 では、外部から入力される外部クロック信号 C L K e

xt 、 CLKext の振幅は、図1に示すシフトレジスタ回路1に入力されるクロック信号 CLK 、 CLK の振幅よりも小さい。外部から入力される外部クロック信号 CLKext 、 CLKext は、レベルシフト回路 LS およびバッファ回路21を介して、ラッチ回路 LATA 、 LATB に供給されている。

【0113】

シフトレジスタ回路20では、外部から入力されるクロック信号の振幅を小さくすることができるので、外部にレベルシフタ IC が不要になるとともに、低消費電力化が図られる。

【0114】

(実施形態7)

図18に示す画像表示装置において、データ信号線駆動回路 SD および走査信号線駆動回路 GD の内の少なくとも1つが、図1に示すシフトレジスタ回路1を有することが好ましい。または、図18に示す画像表示装置において、データ信号線駆動回路 SD および走査信号線駆動回路 GD の内の少なくとも1つが、図14に示すシフトレジスタ回路10を有することが好ましい。あるいは、図18に示す画像表示装置において、データ信号線駆動回路 SD および走査信号線駆動回路 GD の内の少なくとも1つが、図15に示すシフトレジスタ回路20を有することが好ましい。

【0115】

図18に示す画像表示装置が、シフトレジスタ回路1、シフトレジスタ回路10およびシフトレジスタ回路20の少なくとも1つを備えているため、クロック信号を供給する供給系に係る消費電力を削減することが可能となる。

【0116】

一般に、データ信号線駆動回路は、走査信号線駆動回路と比べて、数百倍～千倍以上の周波数で駆動される。このため、データ信号線駆動回路において、本発明を実施した場合の効果は、走査信号線駆動回路において本発明を実施した場合の効果より大きい。なお、走査信号線駆動回路において、本発明を実施した場合であっても、有益であることは言うまでもない。

【0117】

また、画像表示装置の垂直同期信号（あるいは、走査信号線駆動回路のスタートパルス）は、フレーム周波数（通常 6 0 H z）の周期で入力されるので、これを同期信号として用いて、一定周期毎にシフトレジスタ回路の初期化を行うことも可能である。前記信号を用いれば、初期化時期を指定する信号を画像表示装置の外部より入力する必要がない。

【0 1 1 8】

（実施形態 8）

画像表示装置において、データ信号線駆動回路および走査信号線駆動回路を画素と同一基板上に（モノリシックに）形成することは、それらのものを別々に構成して実装するよりも、画像表示装置の製造コストや実装コストの低減を図ることができ、信頼性の向上にも効果がある。

【0 1 1 9】

図 2 0 に示す画像表示装置では、画素 P I X と、データ信号線駆動回路 S D と、走査信号線駆動回路 G D とは、同一基板 S U B 上に構成されており（ドライバモノリシック構造）、図 2 0 に示す画像表示装置は、外部コントロール回路 C T L からの信号と、外部電源回路 V G E N からの駆動電源とによって駆動する。

【0 1 2 0】

上述した構成では、データ信号線駆動回路 S D および走査信号線駆動回路 G D は、画面（表示領域）とほぼ同じ長さの領域に広く分散して配置されているので、クロック信号などの配線長は極めて長くなっている。

【0 1 2 1】

したがって、クロック信号線などの負荷容量も極めて大きくなるので、クロック信号を局所的に入力することによるクロック信号線の負荷容量の削減効果も大きくなる。

【0 1 2 2】

つまり、第 8 の実施形態では、図 2 0 に示す画像表示装置のデータ信号線駆動回路 S D および走査信号線駆動回路 G D の内の少なくとも 1 つが、図 1 に示すシフトレジスタ回路 1 を有する、または、図 2 0 に示す画像表示装置のデータ信号線駆動回路 S D および走査信号線駆動回路 G D の内の少なくとも 1 つが、図 1 4

に示すシフトレジスタ回路 10 を有する、あるいは、図 20 に示す画像表示装置のデータ信号線駆動回路 SD および走査信号線駆動回路 GD の内の少なくとも 1 つが、図 15 に示すシフトレジスタ回路 20 を有することが好ましい。

【0123】

図 16 は、第 8 の実施形態のシフトレジスタ回路が有する多結晶シリコン薄膜トランジスタの構造例を示した図である。

【0124】

図 16 に示す多結晶シリコン薄膜トランジスタは、絶縁性基板 31、シリコン酸化膜 32、金属配線 33、ソース領域 34、ドレイン領域 35、シリコン薄膜 36、シリコン酸化膜 37、ゲート電極 38、シリコン酸化膜 39 を備えている。

【0125】

図 16 に示す多結晶シリコン薄膜トランジスタは、絶縁性基板上の多結晶シリコン薄膜を活性層とする順スタガー（トップゲート）構造のものであるが、本実施形態はこれに限るものではなく、逆スタガー構造等の他の構造のものであってよい。

【0126】

図 16 に示す多結晶シリコン薄膜トランジスタを用いることによって、実用的な駆動能力を有する走査信号線駆動回路およびデータ信号線駆動回路を、画素アレイと同一基板上にほぼ同一の製造工程で構成することができる。

【0127】

また、多結晶シリコン薄膜トランジスタは、単結晶シリコントランジスタ（MOS トランジスタ）に較べて、駆動能力が 1～2 桁小さいので、シフトレジスタ回路を構成したときに、構成するトランジスタのサイズを大きくする必要があり、その結果、入力負荷容量も大きくなる傾向がある。したがって、クロック信号を局所的に入力することによるクロック信号線の負荷容量の削減効果も大きくなる。

【0128】

以下に、第 8 の実施形態のシフトレジスタ回路が有する多結晶シリコン薄膜ト

ランジスタを形成するときの製造プロセスについて、図 17 を用いて簡単に説明する。

【0129】

図 17 (a) は、ガラス基板を示す図である。

【0130】

図 17 (b) は、図 17 (a) に示すガラス基板の上に堆積した非晶質シリコン薄膜を示す図である。

【0131】

図 17 (c) は、図 17 (b) に示す非晶質シリコン薄膜にエキシマレーザを照射し、形成された多結晶シリコン薄膜を示す図である。

【0132】

図 17 (d) は、図 17 (c) に示す多結晶シリコン薄膜が所望の形状にパターニングされた基板を示す図である。

【0133】

図 17 (e) は、図 17 (d) に示す基板の上に二酸化シリコンからなるゲート絶縁膜を形成された基板を示す図である。

【0134】

図 17 (f) は、図 17 (e) に示す基板に薄膜トランジスタのゲート電極がアルミニウム等で形成された基板を示す図である。

【0135】

図 17 (g) および (h) は、不純物 (n 型領域にはリン、p 型領域には硼素) を注入し、薄膜トランジスタのソース領域およびドレイン領域が形成された基板を示す図である。

【0136】

図 17 (i) は、図 17 (h) に示す基板に、二酸化シリコンまたは窒化シリコン等からなる層間絶縁膜が堆積された基板を示す図である。

【0137】

図 17 (j) は、図 17 (i) に示す層間絶縁膜にコンタクトホールが開口された状態を示す図である。

【0 1 3 8】

図 1 7 (k) は、図 1 7 (j) に示すコンタクトホールにアルミニウム等の金属配線が形成された状態を示す図である。

【0 1 3 9】

図 1 7 (a) に示す基板が、図 1 7 (b) ～図 1 7 (j) の製造工程を経て、図 1 7 (k) に示す多結晶シリコン薄膜トランジスタになる。

【0 1 4 0】

図 1 7 (a) ～図 1 7 (k) に示すプロセスの最高温度は、ゲート絶縁膜形成時の 6 0 0℃であるので、米国コーニング社の 1 7 3 7 ガラス等の高耐熱性ガラスが使用できる。

【0 1 4 1】

液晶表示装置においては、この後に、さらに、別の層間絶縁膜を介して、透明電極（透過型液晶表示装置の場合）や反射電極（反射型液晶表示装置の場合）が形成される。

【0 1 4 2】

ここで、図 1 7 に示すような製造工程で、多結晶シリコン薄膜トランジスタを、摂氏 6 0 0 度以下で形成することにより、安価で大面積のガラス基板を用いることができるようになるので、画像表示装置の低価格化と大面積化が実現される。

【0 1 4 3】

本発明の実施形態について幾つかを示したが、本発明はこれらに限定されることなく、前記実施形態の組み合わせ等の他の構成についても、同様に当てはまるものである。

【0 1 4 4】

本発明のシフトレジスタ回路は、様々な分野で利用されているものであるが、ここでは、画像表示装置、特に、液晶表示装置に適用したものを例にとって説明した。しかしながら、これに限らず、同様な目的に対しては他の分野においても利用することができる。

【0 1 4 5】

【発明の効果】

本発明のシフトレジスタ回路は、直列に接続され、パルス信号を順次転送する複数のラッチ回路と、クロック信号を伝達するクロック線と、前記クロック線と前記複数のラッチ回路とを電氣的に接続または非接続する複数のスイッチ回路とを備えている。前記シフトレジスタ回路に電源が投入された際に、前記複数のスイッチ回路の少なくとも1つが、前記複数のラッチ回路の少なくとも1つとクロック線とを電氣的に非接続する。

【0 1 4 6】

このため、本発明のシフトレジスタ回路は、従来のシフトレジスタ回路に比べてクロック信号線の実効的な負荷容量が小さい。クロック信号を供給する外部ICに、特に大きな駆動能力を必要としないので、外部ICの低コスト化や低消費電力化が図られる。

【0 1 4 7】

本発明の他のシフトレジスタ回路は、直列に接続され、パルス信号を順次転送する複数のラッチ回路と、クロック信号を伝達するクロック線と、前記クロック線と前記複数のラッチ回路とを電氣的に接続または非接続する複数のスイッチ回路とを備えている。一定時間毎に、前記複数のスイッチ回路の少なくとも1つが、前記複数のラッチ回路の少なくとも1つとクロック線とを電氣的に非接続する。

【0 1 4 8】

このため、本発明の他のシフトレジスタ回路は、従来のシフトレジスタ回路に比べてクロック信号線の実効的な負荷容量が小さい。クロック信号を供給する外部ICに、特に大きな駆動能力を必要としないので、外部ICの低コスト化や低消費電力化が図られる。

【0 1 4 9】

本発明の画像表示装置は、マトリクス状に設けられた複数の画素と、前記複数の画素の1つに書き込まれるべき映像データを供給するデータ信号線と、前記映像データの、前記複数の画素の1つへの書き込みを制御する走査信号線とを備えている。タイミング信号に同期して前記データ信号線に前記映像データを出力す

るデータ信号線駆動回路が、前記シフトレジスタ回路または前記他のシフトレジスタ回路を有している。

【0150】

このため、本発明の画像表示装置は、従来の画像表示装置に比べてクロック信号線の実効的な負荷容量が小さい。クロック信号を供給する外部 IC に、特に大きな駆動能力を必要としないので、外部 IC の低コスト化や低消費電力化が図られる。

【0151】

本発明の他の画像表示装置では、前記データ信号線駆動回路および前記走査信号線駆動回路の少なくとも一方が、前記複数の画素と同一基板上に形成されている。

【0152】

このため、本発明の他の画像表示装置は、従来の画像表示装置に比べて低コスト製造することができる。また、本発明の他の画像表示装置は、従来の画像表示装置に比べて消費電力が小さい。

【図面の簡単な説明】

【図1】

実施形態1におけるシフトレジスタ回路1を示す図である。

【図2】

シフトレジスタ回路に入力されるクロック信号CLKの一例と、シフトレジスタ回路内部のクロック信号CLK_{int}を示す図である。

【図3】

駆動能力が大きいクロック信号供給ICを用いた場合における、シフトレジスタ回路に入力されるクロック信号CLKの一例と、シフトレジスタ回路内部のクロック信号CLK_{int}を示す図である。

【図4】

シフトレジスタ回路1が受け取るクロック信号CLKを示す図である。

【図5】

初期化動作期間および通常動作期間における、クロック信号CLKの一例およ

びシフトレジスタ回路内部のクロック信号CLKintの一例とを示す図である。

【図 6】

電源投入時のクロック信号CLKの周波数が、初期化期間終了時のクロック信号CLKの周波数より低いクロック信号を示す図である。

【図 7】

シフトレジスタ回路 1 を駆動するための、他のクロック信号を示す図である。

【図 8】

シフトレジスタ回路 1 のラッチ回路LATA、LATBの他の構成例を示す図である。

【図 9】

シフトレジスタ回路 1 のラッチ回路LATA、LATBの他の構成例を示す図である。

【図 1 0】

図 8 および図 9 に示すラッチ回路を用いたときの、クロック信号CLKおよびリセット信号RSTの信号を示す図である。

【図 1 1】

図 8 および図 9 に示すラッチ回路を用いたときの、クロック信号CLKおよびリセット信号RSTの信号を示す図である。

【図 1 2】

シフトレジスタ回路 1 のラッチ回路LATA、LATBのさらに他の構成例を示す図である。

【図 1 3】

シフトレジスタ回路 1 のラッチ回路LATA、LATBのさらに他の構成例を示す図である。

【図 1 4】

実施形態 5 におけるシフトレジスタ回路 1 0 を示す図である。

【図 1 5】

実施形態 6 におけるシフトレジスタ回路 2 0 を示す図である。

【図 1 6】

第 8 の実施形態のシフトレジスタ回路が有する多結晶シリコン薄膜トランジスタの構造例を示した図である。

【図 1 7】

(a) はガラス基板を示す図であり、(b) は (a) に示すガラス基板の上に堆積した非晶質シリコン薄膜を示す図であり、(c) は (b) に示す非晶質シリコン薄膜にエキシマレーザを照射し、形成された多結晶シリコン薄膜を示す図であり、(d) は (c) に示す多結晶シリコン薄膜が所望の形状にパターニングされた基板を示す図であり、(e) は (d) に示す基板の上に二酸化シリコンからなるゲート絶縁膜を形成された基板を示す図であり、(f) は (e) に示す基板に薄膜トランジスタのゲート電極がアルミニウム等で形成された基板を示す図であり、(g) および (h) は、不純物 (n 型領域には磷、p 型領域には硼素) を注入し、薄膜トランジスタのソース領域およびドレイン領域が形成された基板を示す図であり、(i) は (h) に示す基板に、二酸化シリコンまたは窒化シリコン等からなる層間絶縁膜が堆積された基板を示す図であり、(j) は (i) に示す層間絶縁膜にコンタクトホールが開口された状態を示す図であり、(k) は (j) に示すコンタクトホールにアルミニウム等の金属配線が形成された状態を示す図である。

【図 1 8】

アクティブ・マトリクス駆動型液晶表示装置 1 0 0 を示す図である。

【図 1 9】

図 1 8 に示す画素 P I X の詳細を示す図である。

【図 2 0】

アクティブ・マトリクス型液晶表示装置 2 0 0 を示す図である。

【図 2 1】

点順次駆動方式のデータ信号線駆動回路 S D を示す図である。

【図 2 2】

点順次駆動方式の走査信号線駆動回路 G D を示す図である。

【図 2 3】

シフトレジスタ回路 SFC を示す図である。

【図 24】

図 23 に示すシフトレジスタ回路 SFC に入力されるクロック信号 CLK を示す図である。

【図 25】

シフトレジスタ回路 SFC を構成するラッチ回路 LATA を示す図である。

【図 26】

シフトレジスタ回路 SFC を構成するラッチ回路 LATB を示す図である。

【図 27】

クロックトインバータ CICA を示す図である。

【図 28】

クロックトインバータ CICB を示す図である。

【符号の説明】

1、10、20 シフトレジスタ回路

2 ユニット

LATA、LATB ラッチ回路

ST スタート信号

OR 論理和回路

ASW, AS アナログスイッチ (転送ゲート)

CLK、/CLK クロック信号

VCC 電源電圧

PLS パルス信号

RST リセット信号

IN、/IN 入力信号

OUT、/OUT 出力信号

SCK, GCK クロック信号

SSP, GSP スタート信号

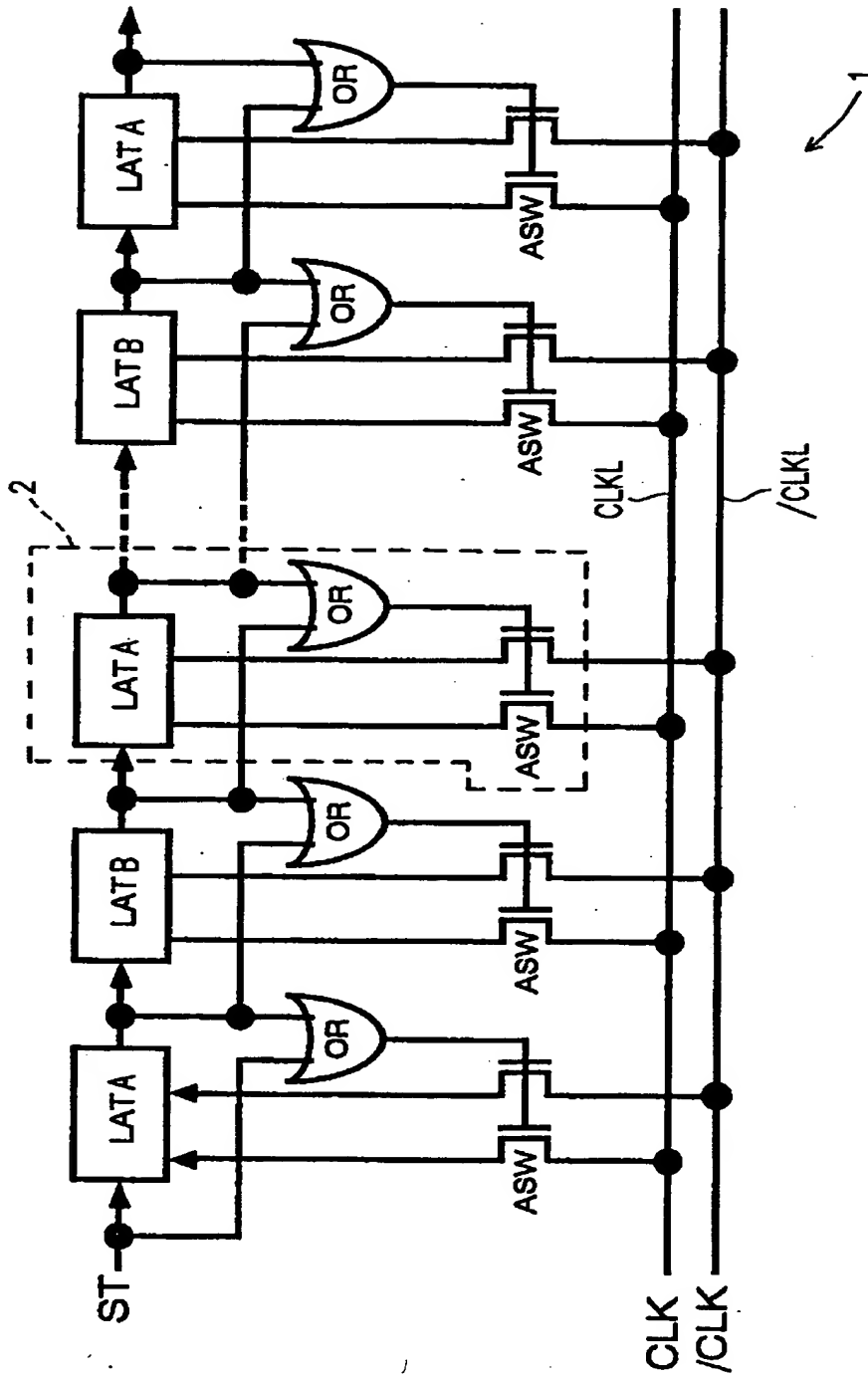
GPS パルス信号

DAT 映像信号

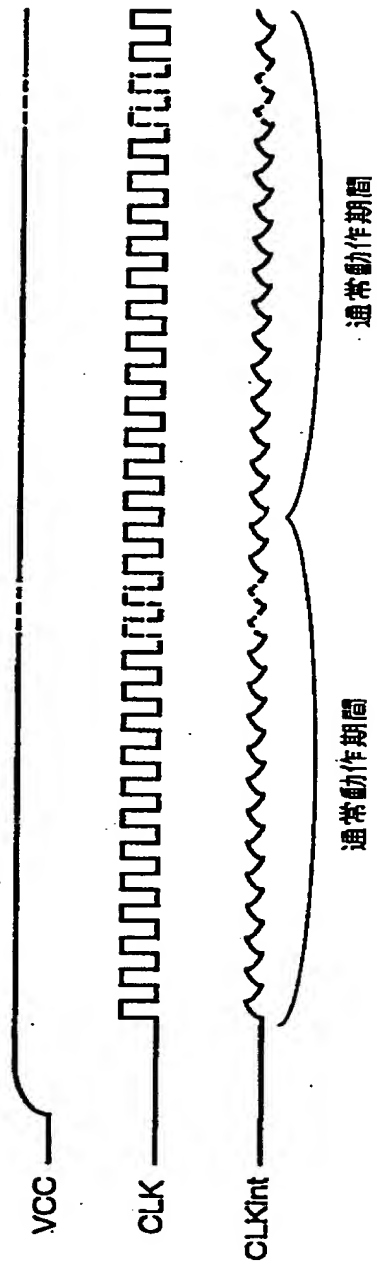
S L データ信号線
G L 走査信号線
S D データ信号線駆動回路
G D 走査信号線駆動回路
A R Y 画素アレイ
P I X 画素
C L 液晶容量
C S 補助容量
S W 画素スイッチ (トランジスタ)
C T L タイミング信号生成回路
V S H, V G H 電源端子
V S L, V G L 接地端子
C O M 共通電極端子
V G E N 電源電圧生成回路
S U B 絶縁性基板
C L K i n t 内部クロック信号
C L K e x t 外部クロック信号
I N V インバータ回路 (反転回路)
L S レベルシフト回路

【書類名】 図面

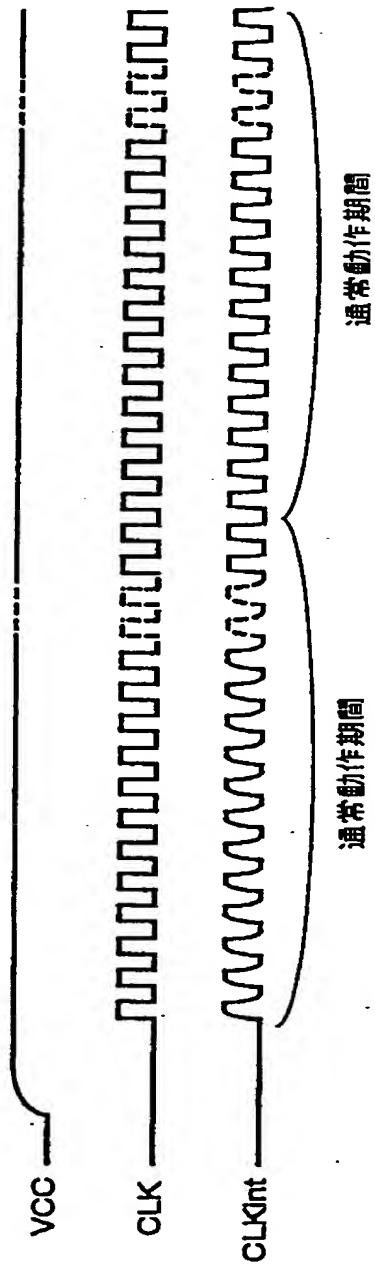
【図 1】



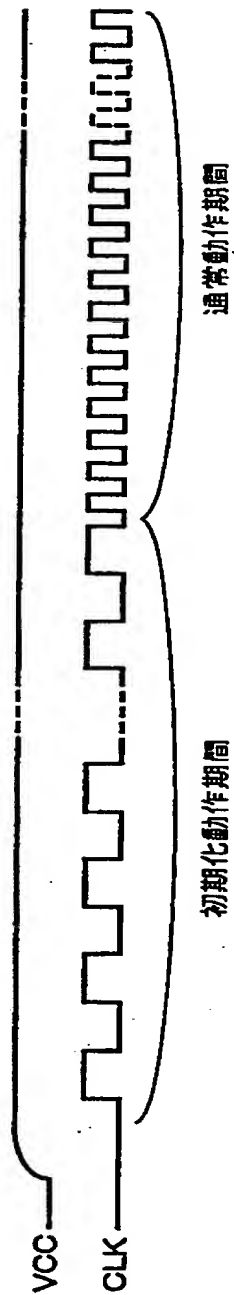
【図 2】



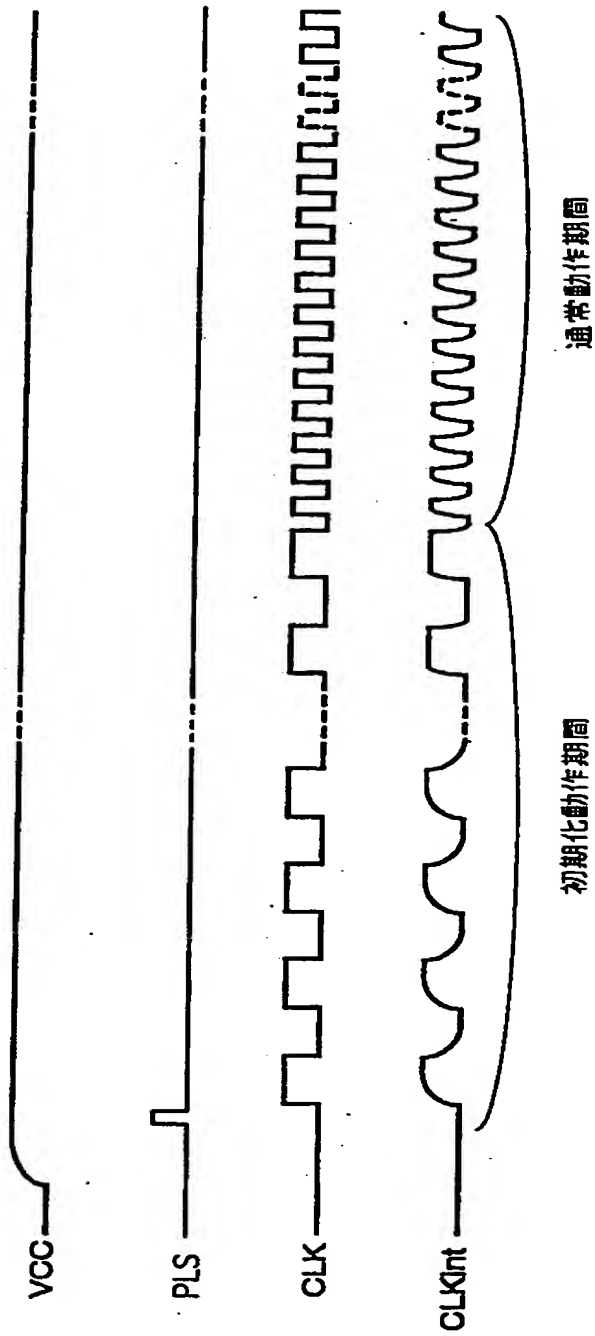
【図 3】



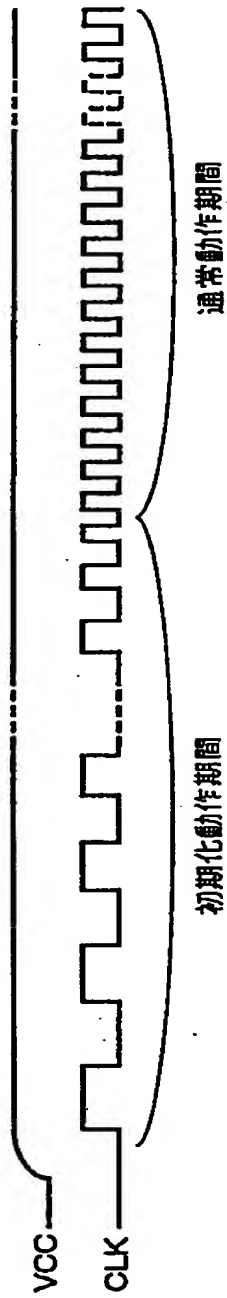
【図 4】



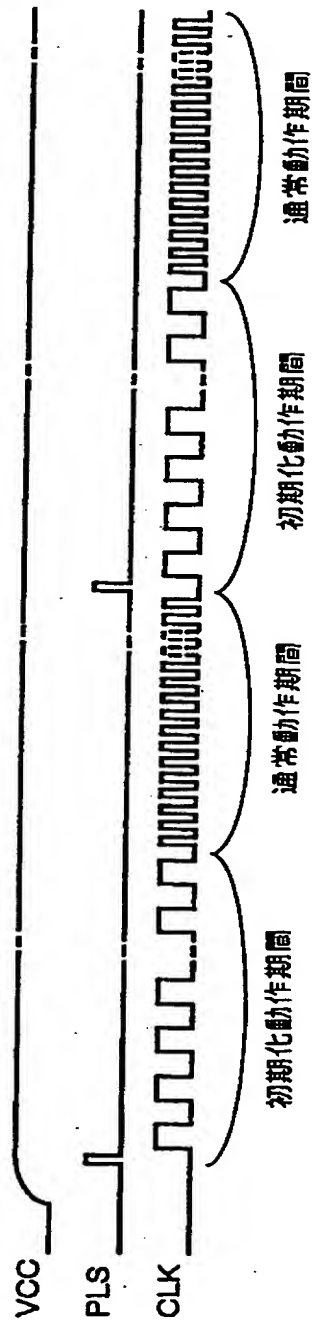
【図 5】



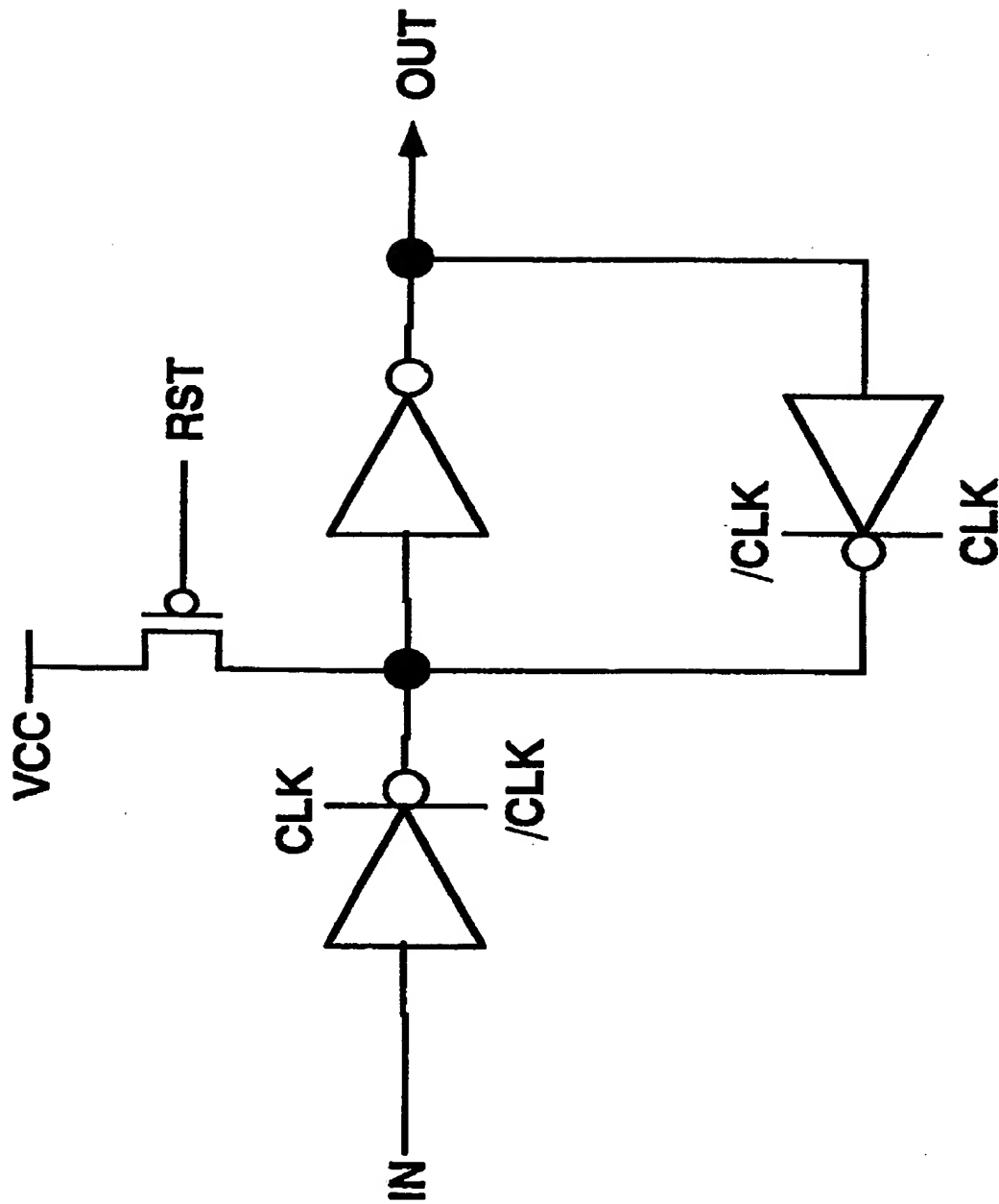
【図 6】



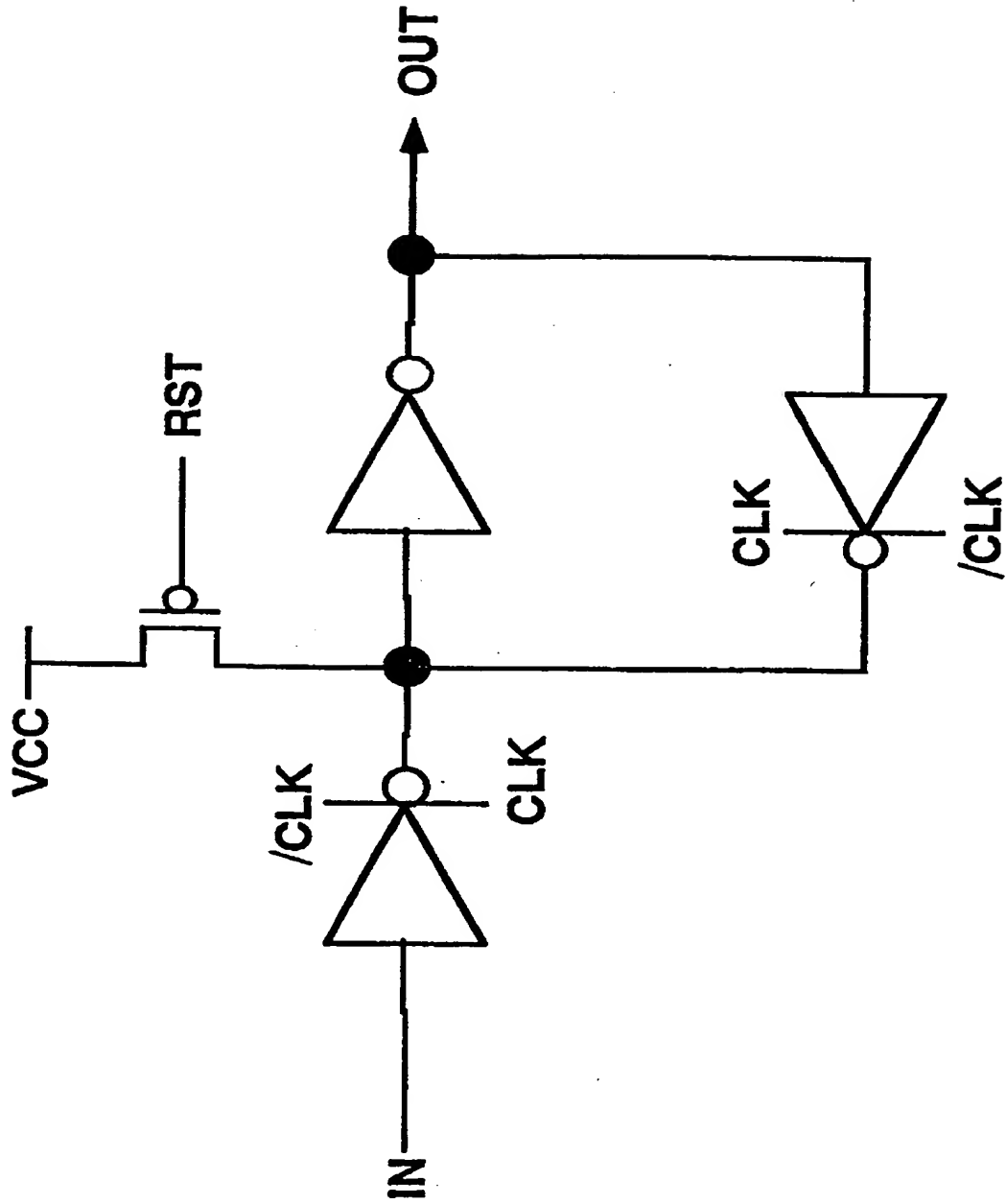
【図 7】



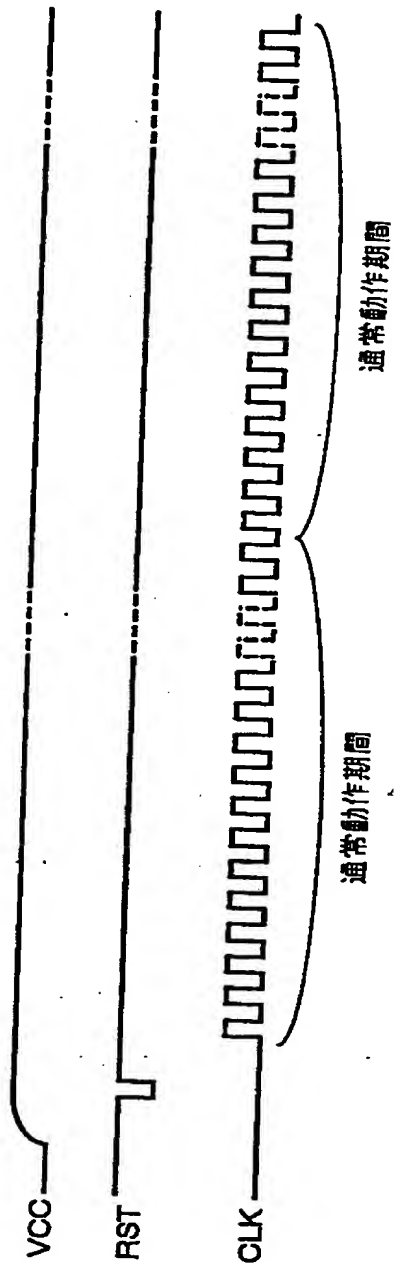
【图 8】



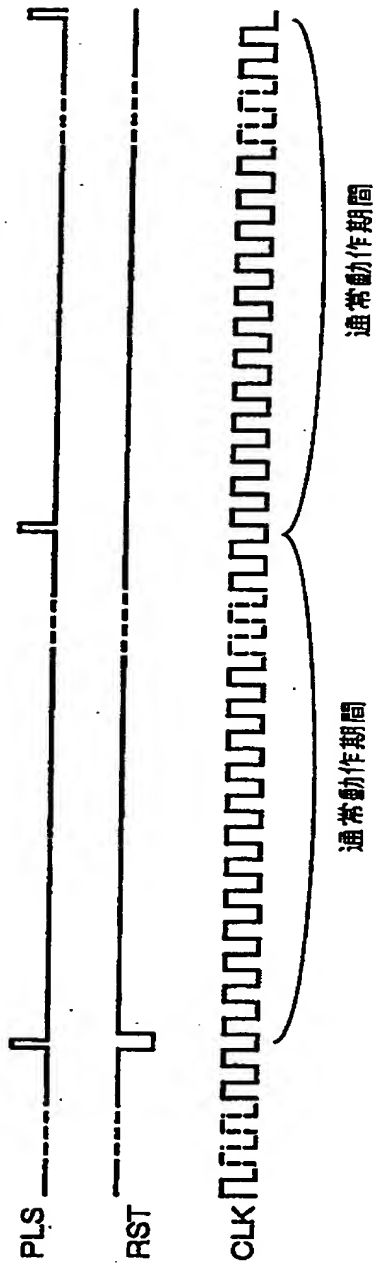
【図 9】



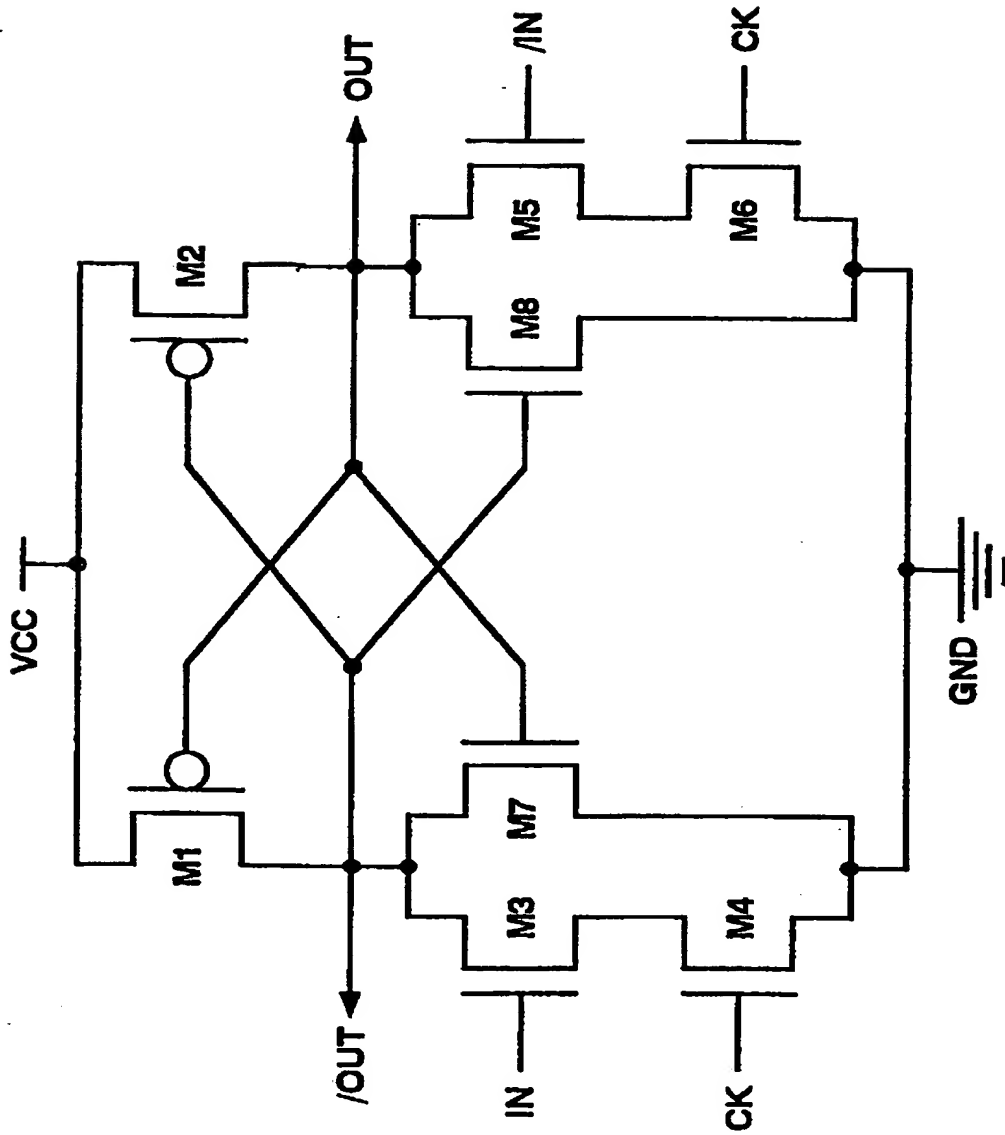
【図 1 0】



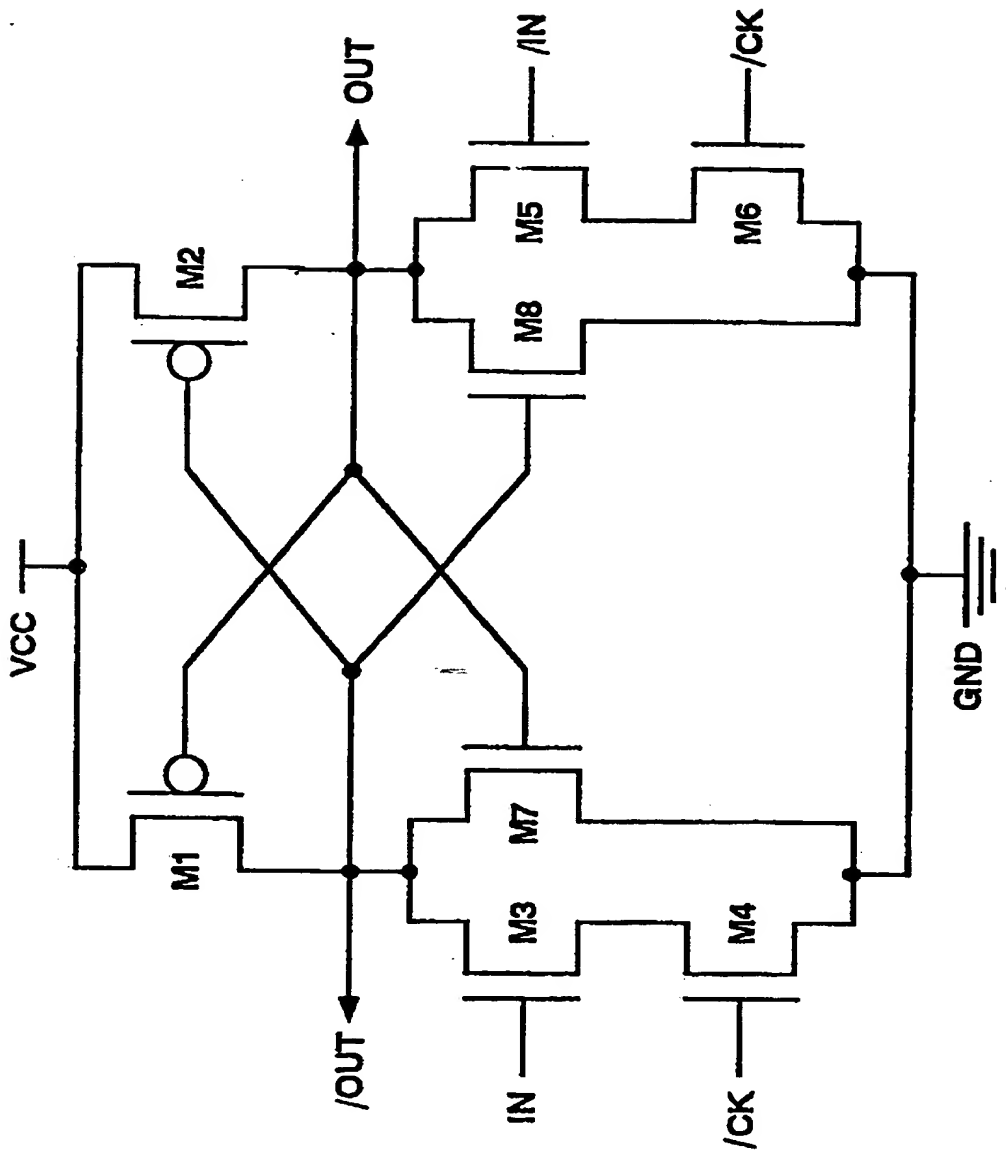
【図 1 1】



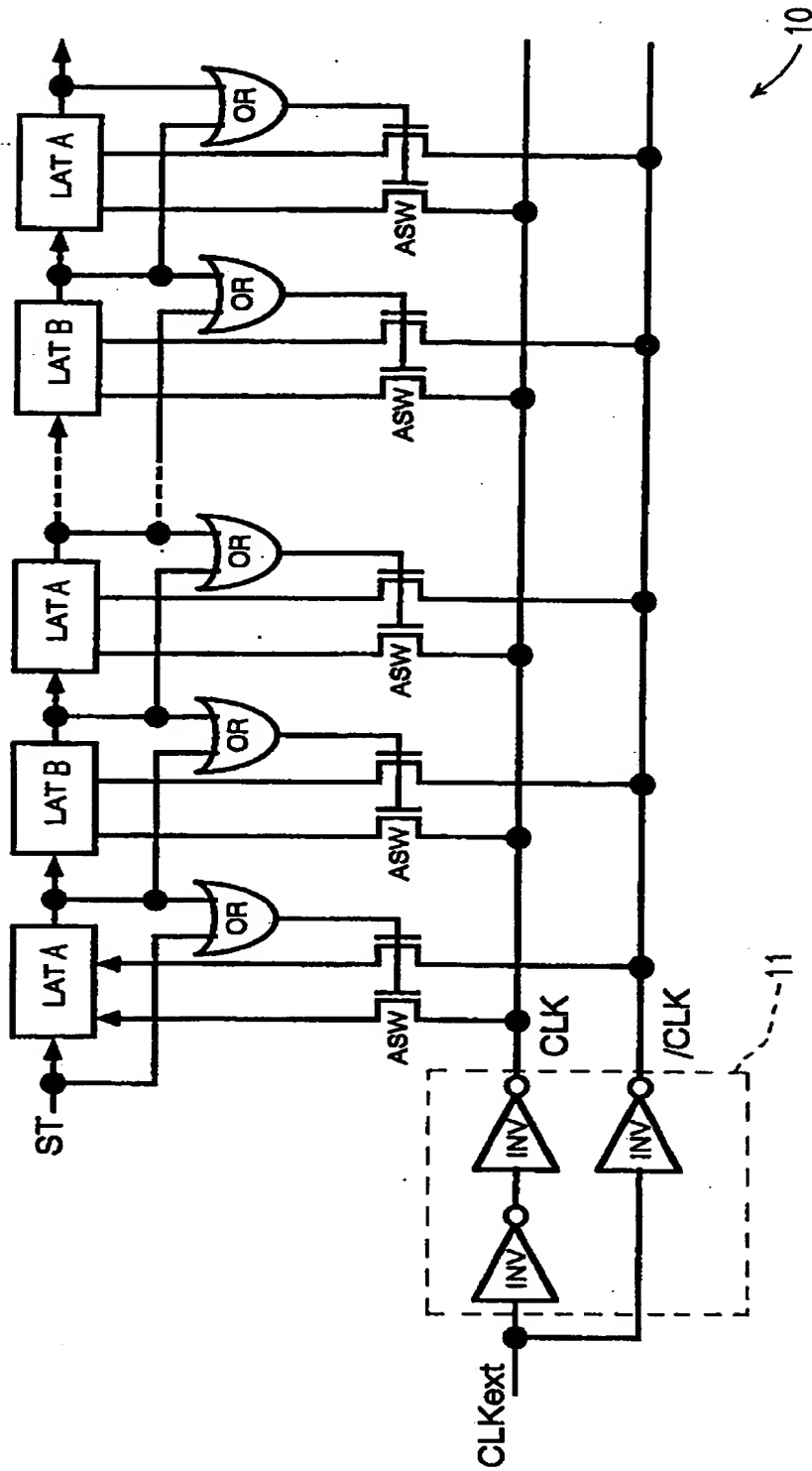
【図 1 2】



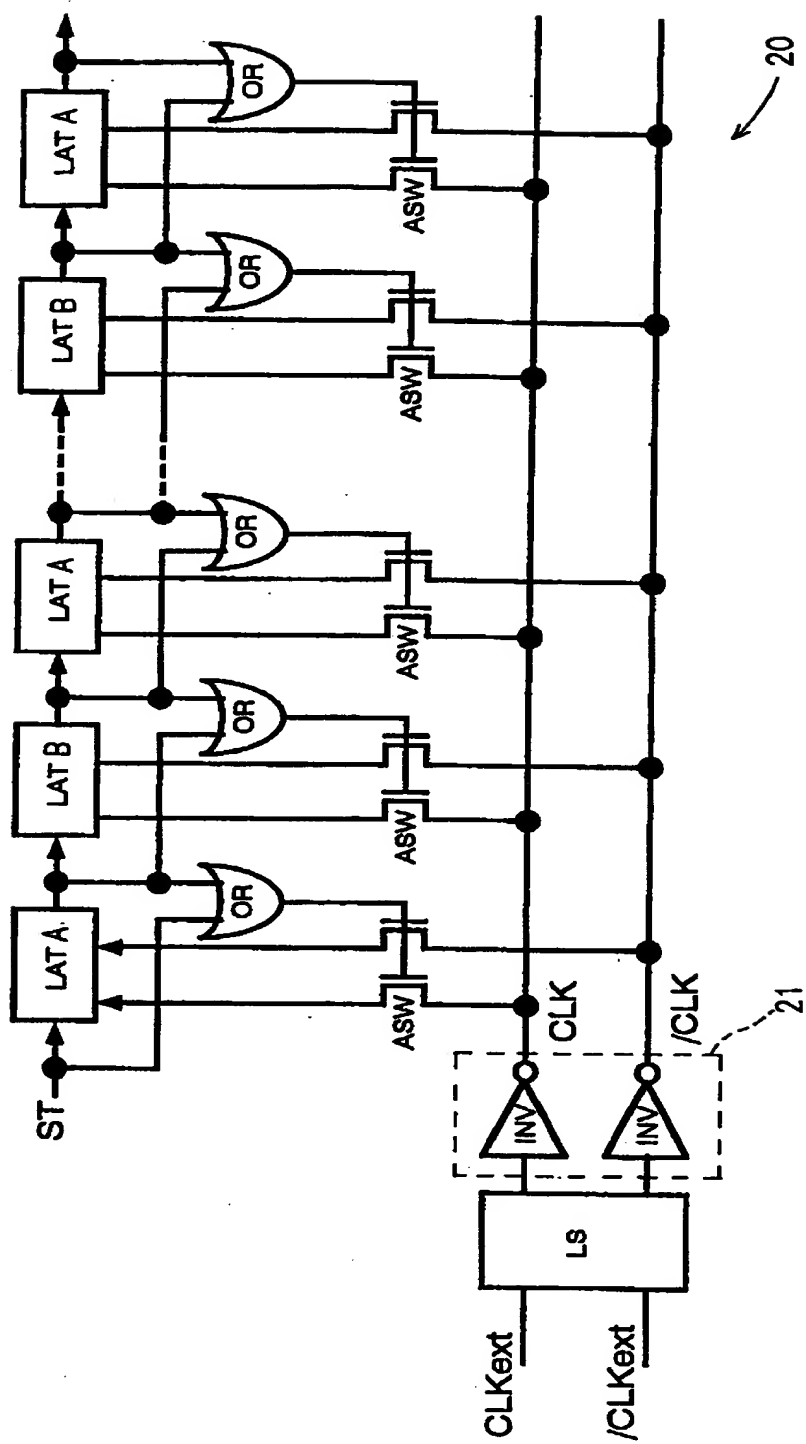
【图 1 3】



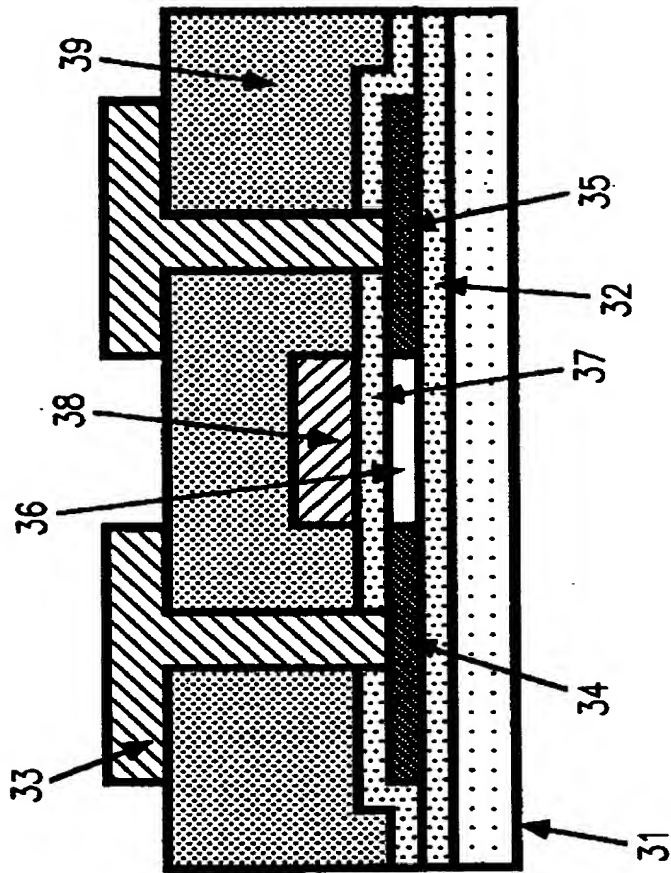
【図 1 4】



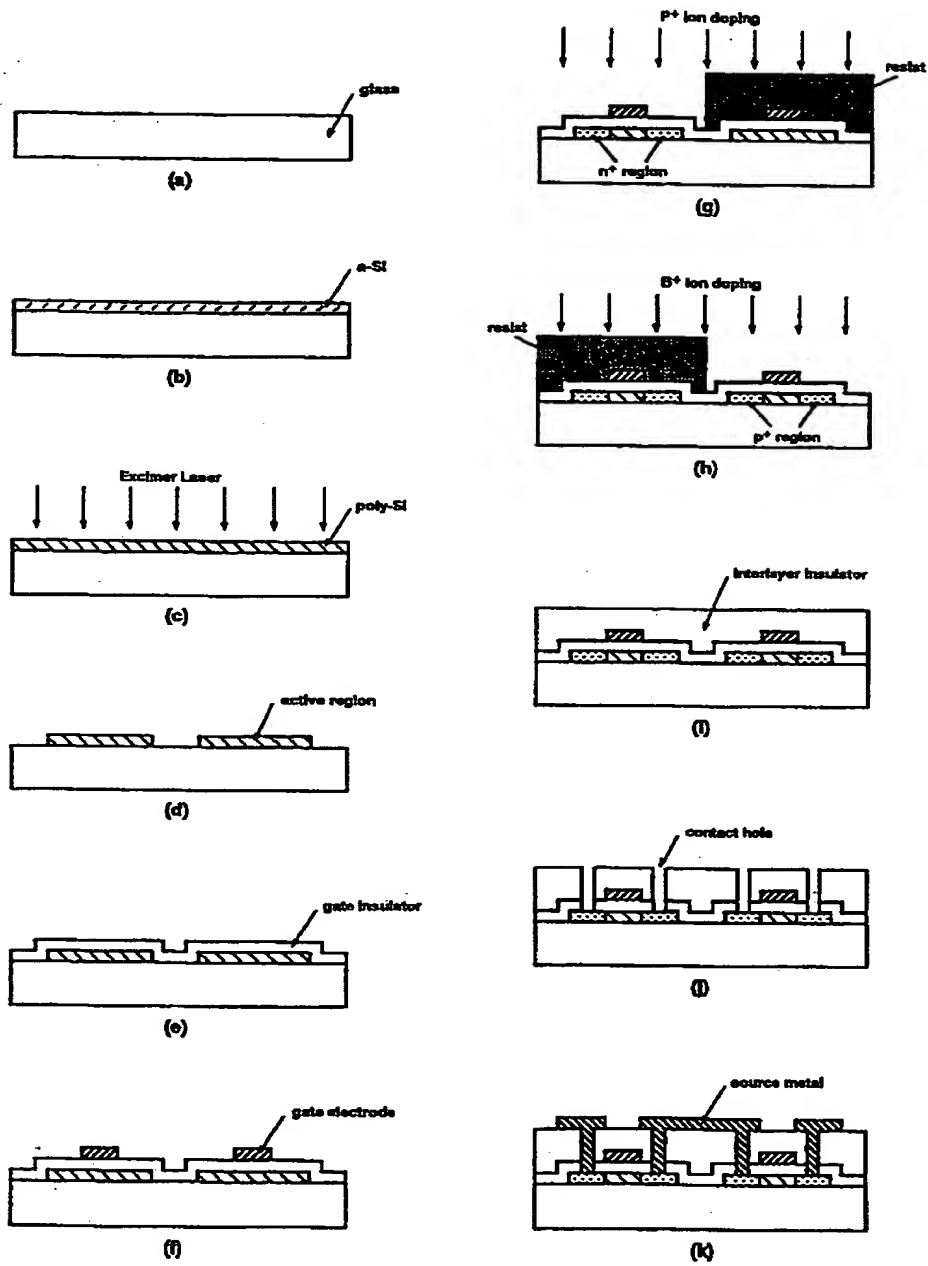
【図 15】



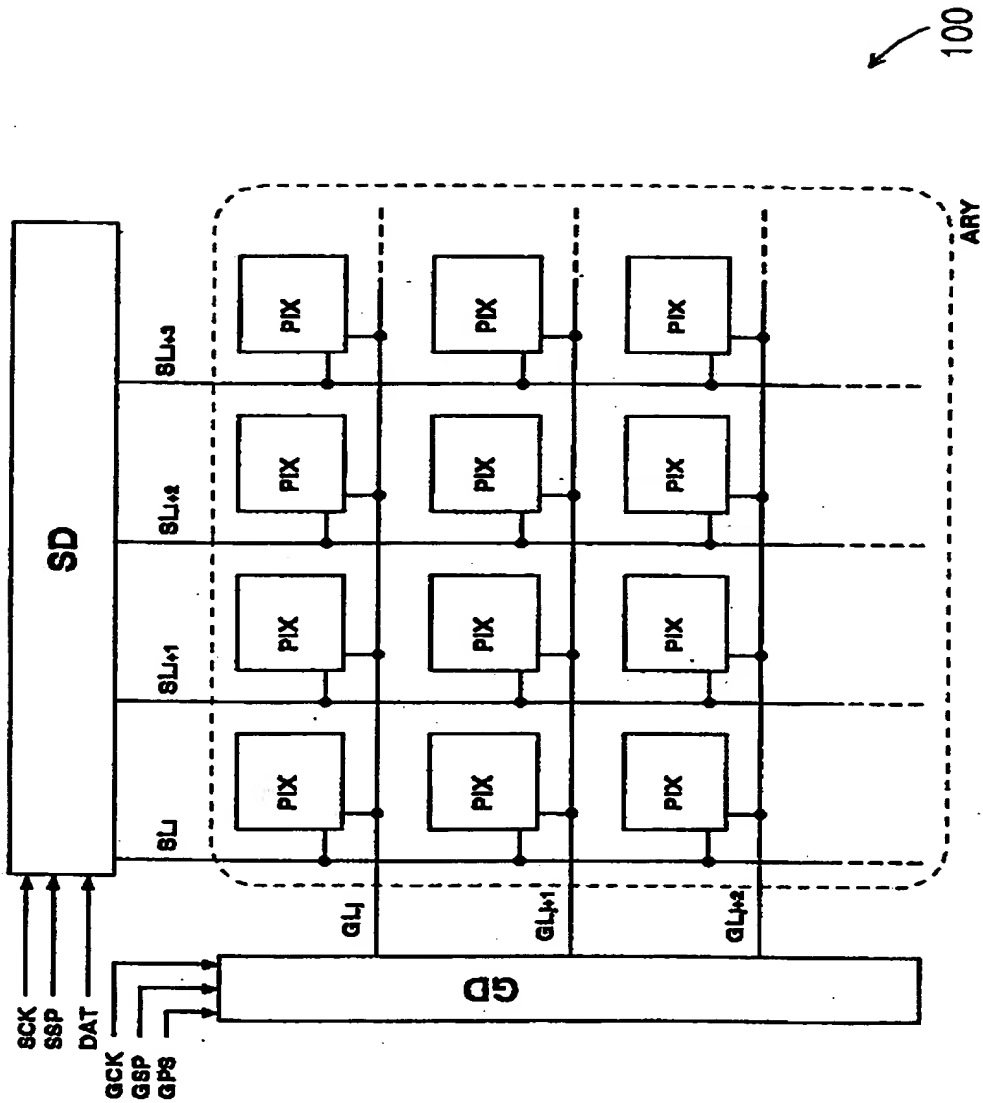
【図 16】



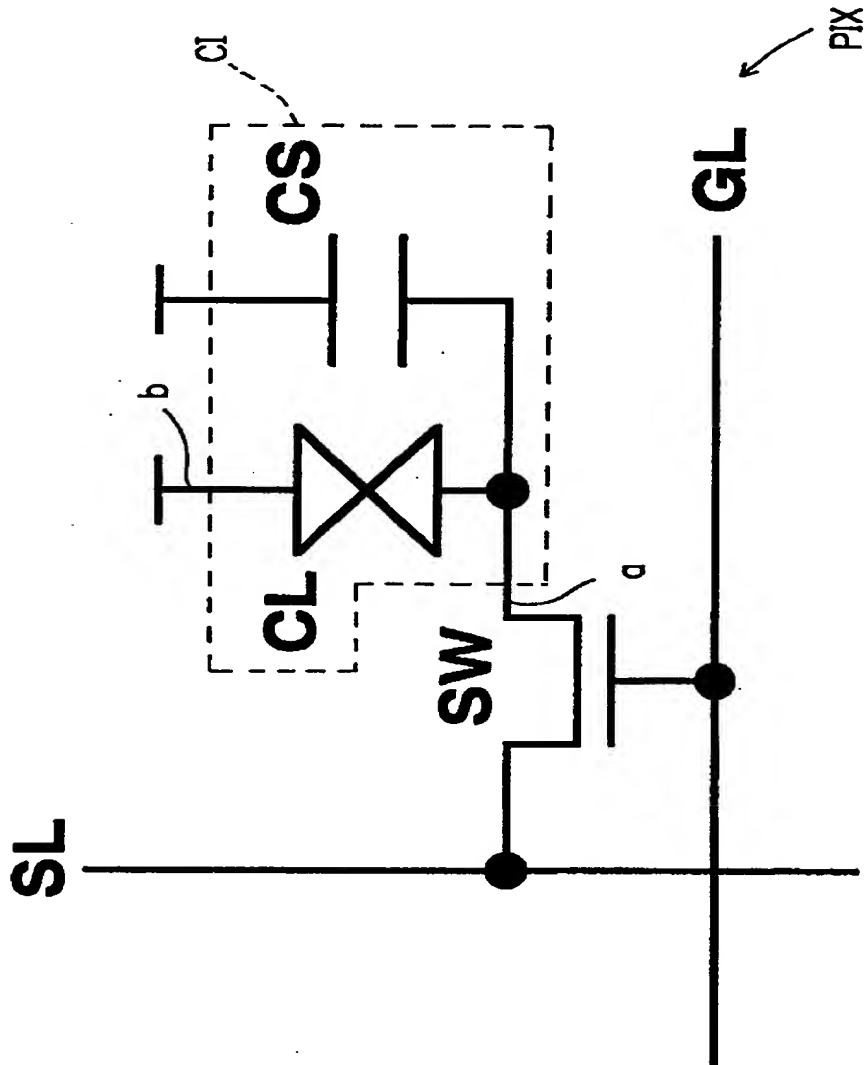
【図 17】



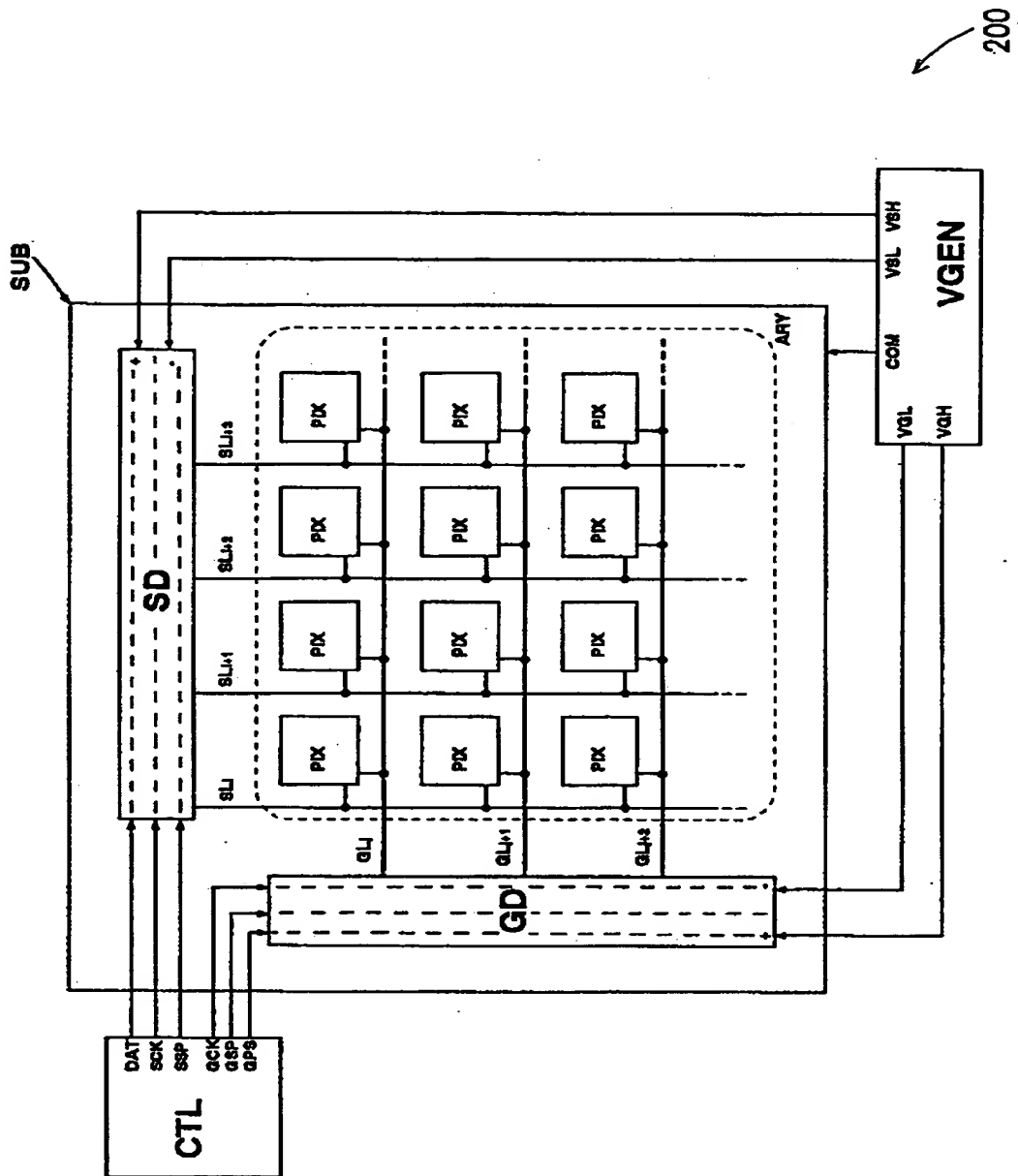
【図 1 8】



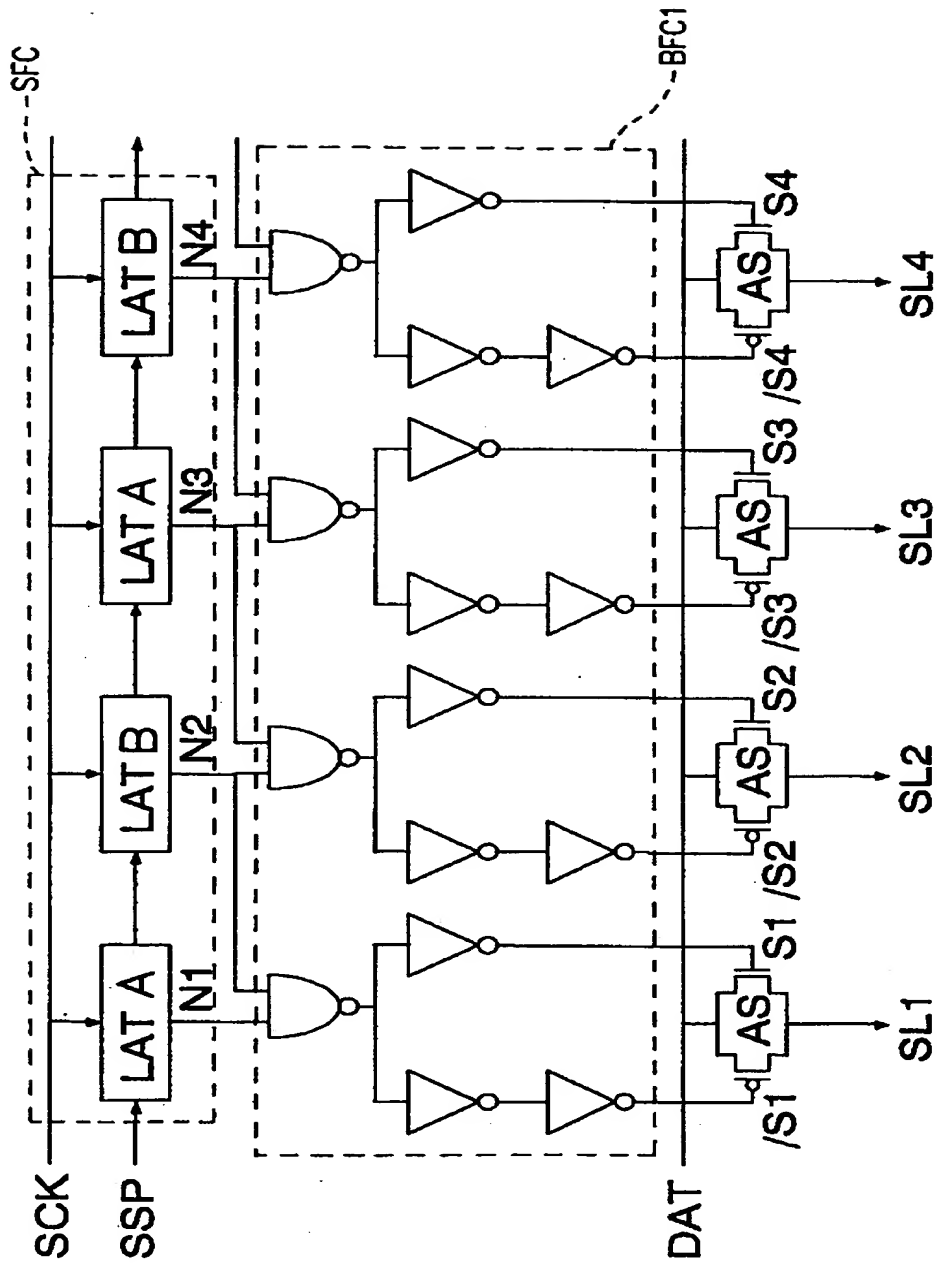
【図 1 9】



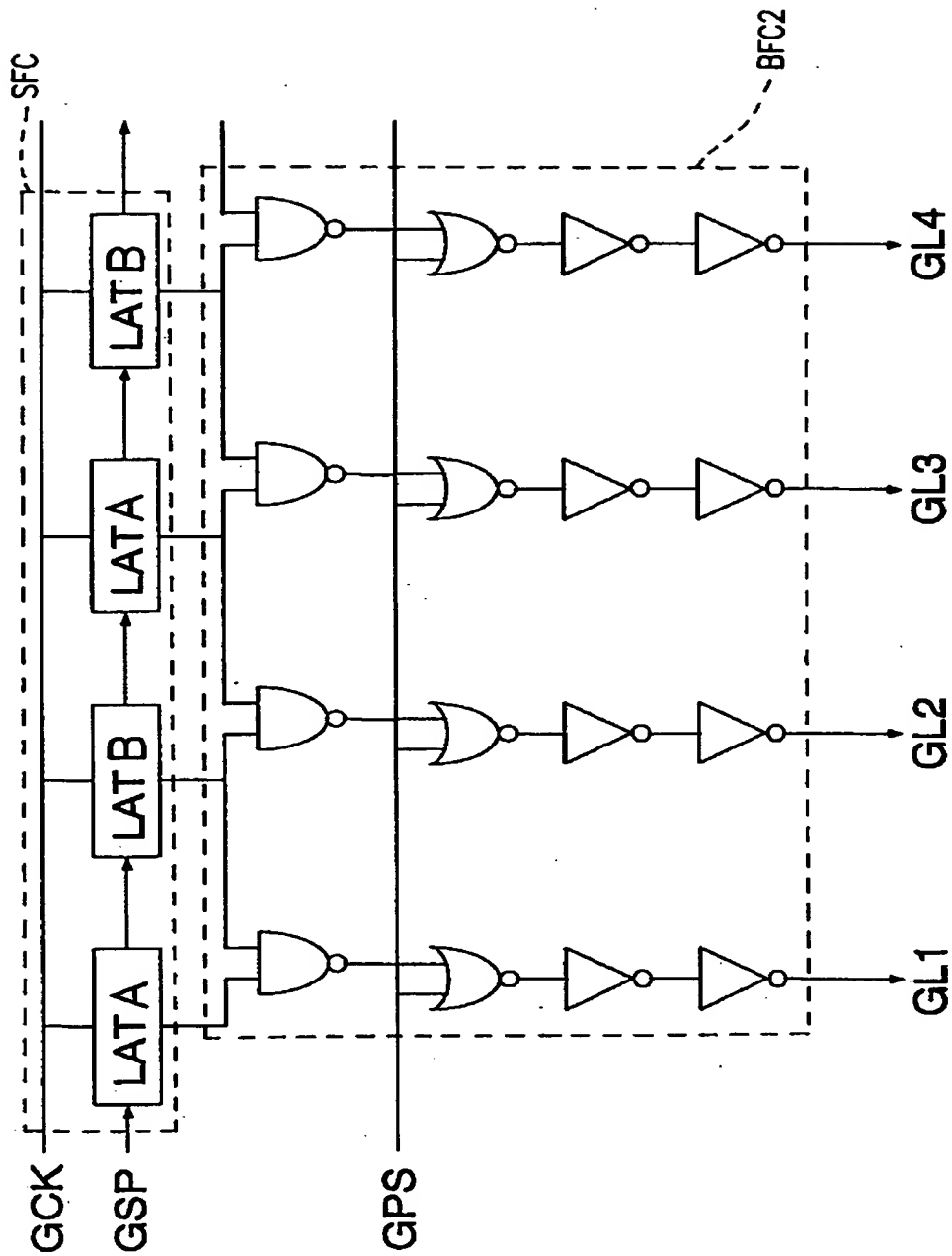
【図 2 0】



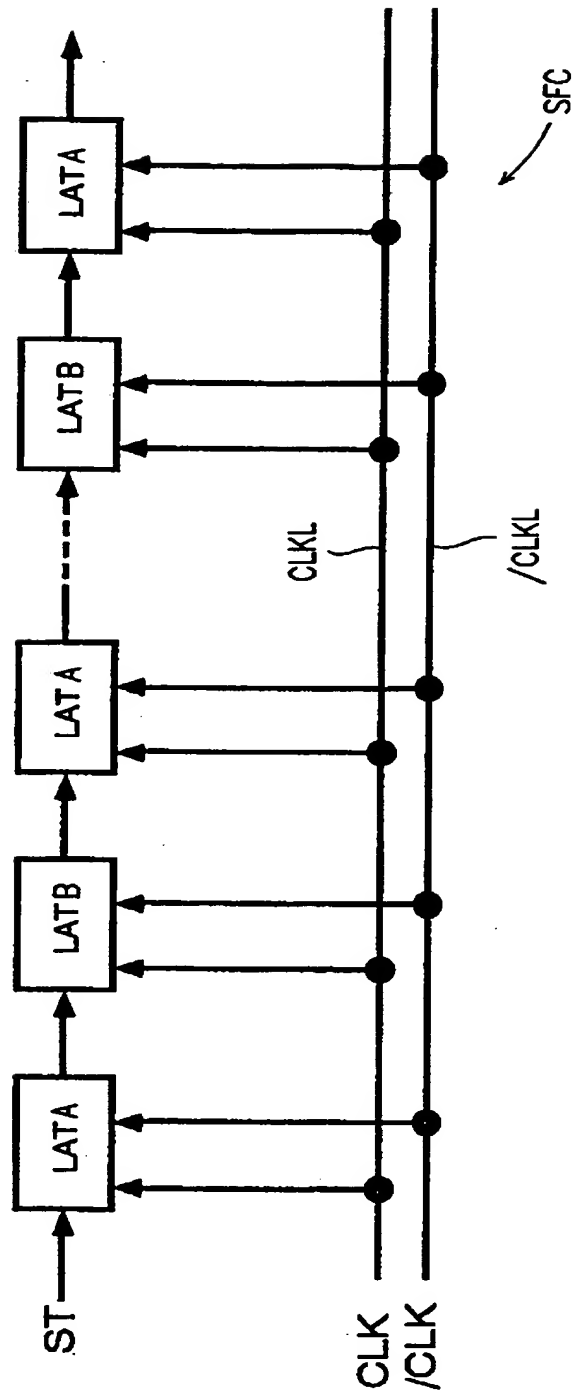
【図 2 1】



【图 2 2】



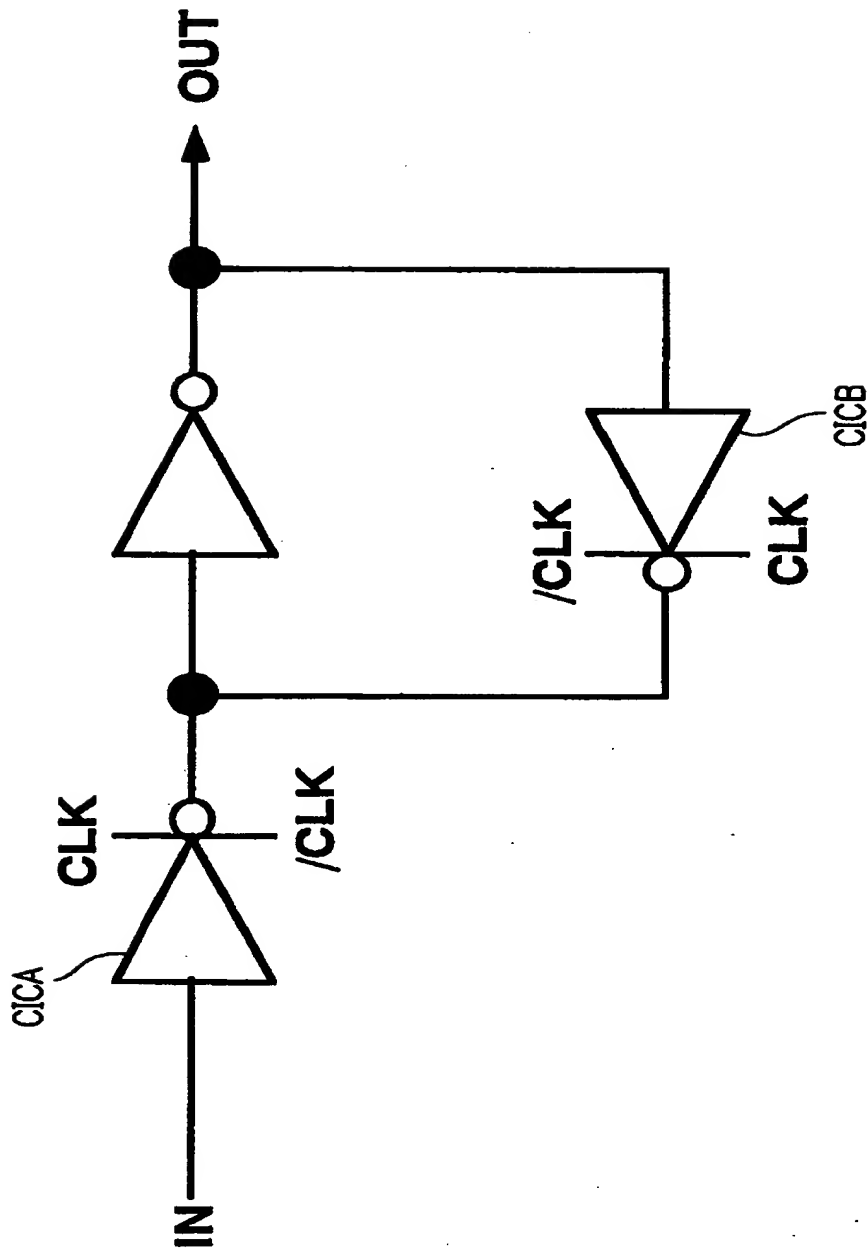
【図 2 3】



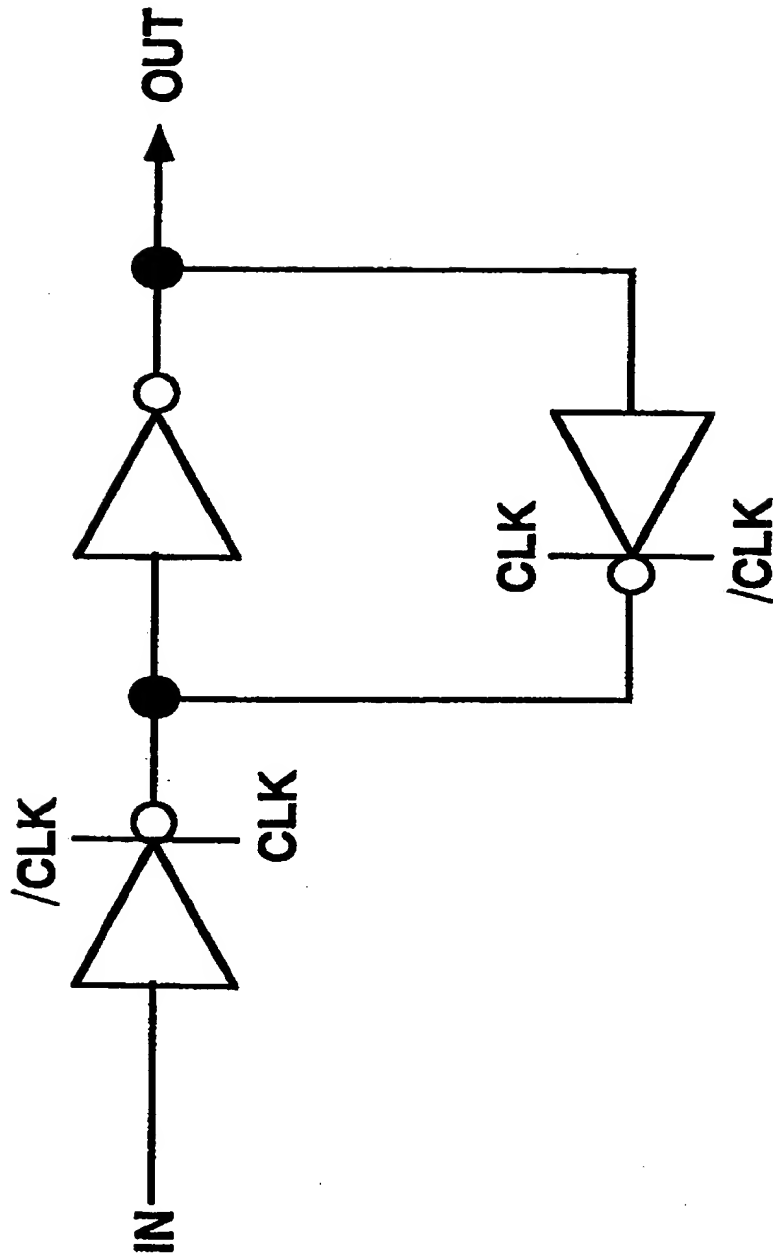
【図 2 4】



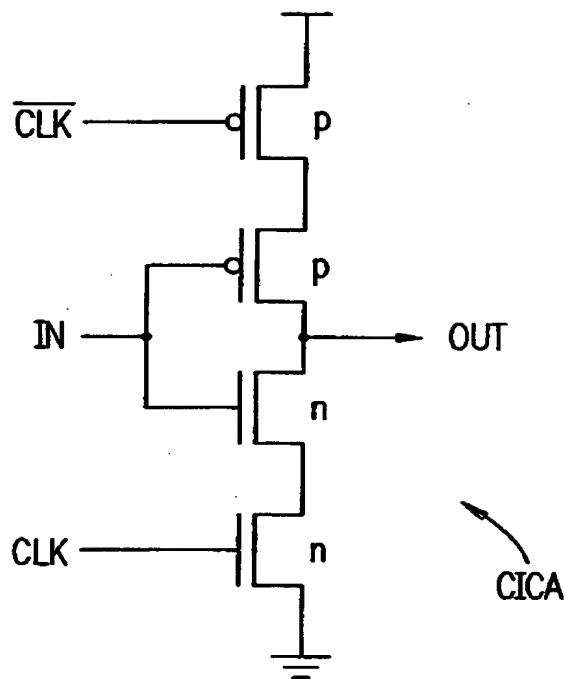
【図 2 5】



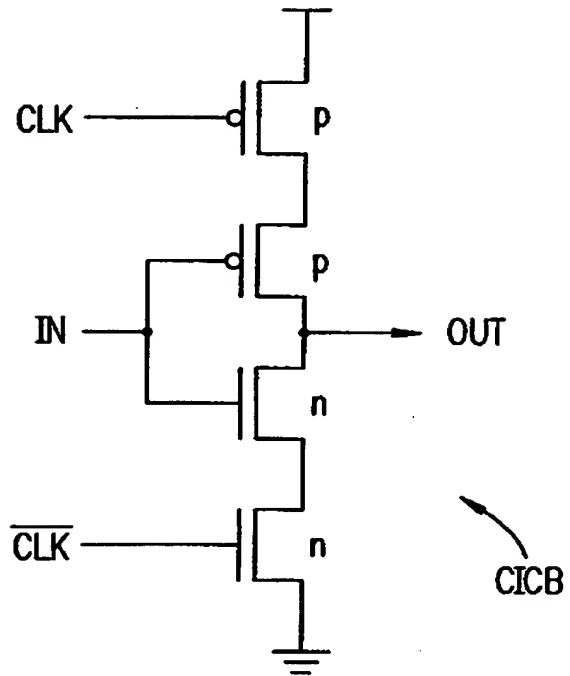
【図 2 6】



【図 2 7】



【图 2 8】



【書類名】 要約書

【要約】

【課題】 電源投入時の不定状態を解消し、外部 I C の駆動能力を過度に高めることなく安定した動作を得るシフトレジスタ回路を提供する。

【解決手段】 本発明のシフトレジスタ回路 1 は、直列に接続され、パルス信号 S T を順次転送する複数のラッチ回路 L A T A、L A T B と、クロック信号 C L K を伝達するクロック線 C L K L と、前記クロック線 C L K L と前記複数のラッチ回路 L A T A、L A T B とを電氣的に接続または非接続する複数のスイッチ回路 A S W とを備えている。前記シフトレジスタ回路 1 に電源が投入された際に、前記複数のスイッチ回路 A S W の少なくとも 1 つが、前記複数のラッチ回路の少なくとも 1 つとクロック線 C L K L とを電氣的に非接続する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町22番22号

氏 名 シャープ株式会社